

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kazuei YOSHIOKA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MONEY VALIDATING MACHINE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-118202

MONTH/DAY/YEAR

April 23, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

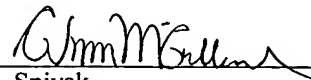
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 4月23日

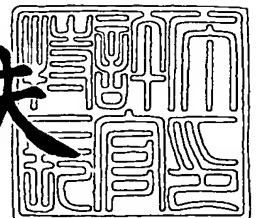
出願番号
Application Number: 特願2003-118202
[ST. 10/C]: [J.P. 2003-118202]

出願人
Applicant(s): アルゼ株式会社

2004年 4月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3028048

【書類名】 特許願

【整理番号】 P02-1189

【提出日】 平成15年 4月23日

【あて先】 特許庁長官 殿

【国際特許分類】 G07D 7/00

【発明者】

 【住所又は居所】 東京都江東区有明 3 丁目 1 番地 2 5

 【氏名】 吉岡 一栄

【発明者】

 【住所又は居所】 東京都江東区有明 3 丁目 1 番地 2 5

 【氏名】 富士本 淳

【特許出願人】

 【識別番号】 598098526

 【氏名又は名称】 アルゼ株式会社

【代理人】

 【識別番号】 100106002

 【弁理士】

 【氏名又は名称】 正林 真之

【手数料の表示】

 【予納台帳番号】 058975

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0018505

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 貨幣取扱装置
【特許請求の範囲】

【請求項 1】 外部から受け入れた貨幣の有効性を判定する貨幣識別部と、この貨幣識別部によって判定された貨幣を収納する着脱可能な貨幣収納部と、を含む貨幣取扱装置であって、

前記貨幣識別部は、前記貨幣収納部に対して電力の供給を行うとともにこの貨幣収納部に対して前記貨幣収納部が収納する貨幣情報信号の送信を行う貨幣識別制御回路を含み、

この貨幣識別制御回路は前記貨幣収納部との間で 2 本の電力兼信号線を介して接続されていることを特徴とする貨幣取扱装置。

【請求項 2】 2 本の前記電力兼信号線は、前記貨幣識別部、前記貨幣識別部のそれぞれに設けられた 2 組の接続端子を介して接続可能である請求項 1 記載の貨幣取扱装置。

【請求項 3】 前記貨幣識別制御回路は、貨幣情報信号をパルス信号として出力する識別側通信制御部と、パルス信号に応じて電源の供給停止を行う電源供給変換部と、を含み、

前記貨幣収納部は、前記電力兼信号線を介して供給される電源を貨幣収納部に供給する電源供給部と、前記電力兼信号線を介して供給される貨幣情報信号を抽出する収納側受信部と、貨幣情報信号を受信する収納側通信制御部と、を含む、請求項 1 または 2 記載の貨幣取扱装置。

【請求項 4】 前記貨幣収納部は、さらに、前記収納側通信制御部がパルス信号として出力する収納部情報信号に応じ、前記電力兼信号線から電流の引き込みを行う電流引き込み部を含み、

前記貨幣識別制御回路は、さらに、前記電力兼信号線の電位が、前記電流引き込み部の引き込みによるパルス信号を検出する識別側受信部を含む請求項 3 記載の貨幣取扱装置。

【請求項 5】 前記識別側通信制御部が出力する貨幣情報信号は、リターン・トゥ・ゼロ（R Z）符号形式に変調された信号である請求項 4 記載の貨幣取扱

装置。

【請求項 6】 前記識別側通信制御部は、前記貨幣情報信号を、前記電源供給変換部に対し出力する前にノン・リターン・トゥ・ゼロ（NRZ）符号形式からリターン・トゥ・ゼロ（RZ）符号形式に変調する識別側信号変調手段を含む請求項 5 記載の貨幣取扱装置。

【請求項 7】 前記収納側通信制御部は、前記収納側受信回路から入力した貨幣情報信号を、リターン・トゥ・ゼロ（RZ）符号形式からノン・リターン・トゥ・ゼロ（NRZ）符号形式に復調する収納側信号復調手段を含む請求項 5 記載の貨幣取扱装置。

【請求項 8】 前記収納側通信制御部が出力する収納部情報信号は、リターン・トゥ・ゼロ（RZ）符号形式に変調された信号である請求項 4 記載の貨幣取扱装置。

【請求項 9】 前記収納側通信制御部は、収納部情報信号を、電源引き込み部に対し出力する前にノン・リターン・トゥ・ゼロ（NRZ）符号形式からリターン・トゥ・ゼロ（RZ）符号形式に変調する収納側信号変調手段を含む請求項 8 記載の貨幣取扱装置。

【請求項 10】 前記収納側通信制御部は、前記収納側受信回路から入力した貨幣情報信号を、リターン・トゥ・ゼロ（RZ）符号形式からノン・リターン・トゥ・ゼロ（NRZ）符号形式に変調する収納側信号復調手段を含む請求項 5 記載の貨幣取扱装置。

【請求項 11】 前記貨幣収納制御部は、前記接続端子と、前記電源供給部、前記電流引き込み部及び前記収納側受信部と、を仲介し、前記貨幣識別制御回路から前記電力兼信号線を介して供給される電源極性の正規化を行う、電源極性正規化回路を含む請求項 3 から 10 いずれか記載の貨幣取扱装置。

【請求項 12】 前記貨幣収納部は前記貨幣識別部から離脱した場合に、前記貨幣識別部とは別の収集装置と接続が可能であり、

当該接続は前記貨幣識別部に設けられた 2 個の前記接続端子を介してなされるものであることを特徴とする請求項 2 から 10 いずれか記載の貨幣取扱装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スロットマシンその他の遊技機あるいは自動販売機等に用いられる貨幣取扱装置に関する。

【0002】

【従来の技術】

従来、遊技機などの貨幣挿入口から送り込まれる貨幣の有効性を判別する貨幣判別部と、この貨幣識別部が有効と判別し送出してくる貨幣を収納するための貨幣収納装置とを具備する貨幣取扱装置が知られている。

【0003】

この貨幣取扱装置においては、貨幣取扱装置本体から貨幣収納部を簡単に取り外すことができる。そして、貨幣収納部に貨幣がたまった場合には貨幣収納部のみを取り出して貨幣収納部ごと貨幣を運搬することができる。

【0004】

また、貨幣収納部には、その搬送中等に内部の貨幣が容易に取り出されることのないように、貨幣収納部の貨幣取り出し口に設置されたふたが自動的に施錠されるものがある（特許文献1参照。）。このような貨幣収納部を具備する貨幣取扱装置は、貨幣収納部の貨幣取り出し口のふたを施開錠するための動力源としてモータやソレノイドを用いる。そして、貨幣収納部の機能のための動力源を直接貨幣収納部に設置する場合には、動力源に対し電源を供給する必要がある、この電源は貨幣取扱装置本体と貨幣収納部とに設けられた接続端子を通じて供給される。

【0005】

また、貨幣取扱装置においては、貨幣収納部の搬送途中に内部の貨幣が紛失したりすることを後で確認できるようにするため、どの種類の貨幣がどれだけの数量収納されているのかといった貨幣識別部からの情報を貨幣収納部に記憶させる場合がある。このような貨幣収納部に収納される貨幣の種類情報は、通常、貨幣取扱装置本体側の貨幣識別部が貨幣の判別により取得するものであり、そして、貨幣収納部に内蔵された不揮発性のメモリ等に記憶される。従って、このような

情報の信号は、貨幣取扱装置本体と貨幣収納部とに設けられた接続端子を介して貨幣識別部から貨幣収納部へと供給される。また、記憶された情報は貨幣収納部に設けられた接続端子を通じて、例えば、貨幣回収の場所に設置されたコンピュータ等により読み出されるものである。

【0006】

このように、貨幣取扱装置の高機能化の要望に応じて、貨幣収納部自体が情報記憶機能やモータを具備してインテリジェント化するのに従い、通常貨幣取扱装置本体側との間で電源や信号の送受信を行うために必要な接続用端子の数は増加して来ている。

【0007】

【特許文献1】

特開平8-123991号公報

【0008】

【発明が解決しようとする課題】

しかしこの一方で、接続端子の増加は、装置全体の信頼性の低下につながりかねないという問題がある。例えば、貨幣取扱装置が取り付けられる遊技機や自動販売機等は、いずれかの端子が故障すれば、貨幣収納部のふたが開かなくなったりというように、貨幣取扱装置全体が使用不能となり、ひいては、遊技機や自動販売機自体までもが使用不能となるものである。これらは信頼性分析の観点からは冗長のない直列システム系を構成するものである。この場合、システム全体の信頼度は、一般的に個々の端子の信頼度に対し乗数として求められ、個々の端子の信頼度が等しい場合には、端子1個当たりの信頼度の個数分の累乗となる。したがって、端子の数の増加は装置全体の信頼度に大きな影響を与える。

【0009】

ここで、貨幣収納部は、内蔵される貨幣を容易に取り出せない一種の可搬金庫として機能させるべく堅剛な材料で構成され相当の重量を有するものであり、操作者がこれを貨幣取扱装置本体に装着する時に、勢いをつけたり、相当な力で押し込んだりする場合が多い。また、遊技機等においては、貨幣収納部にたまったメダルや現金を頻繁に回収するため、貨幣収納部の端子接点の寿命を他の電子部

品等の信頼性と同様に維持することは容易でない。このように、貨幣収納部の接続端子は貨幣取扱装置における信頼性の観点からはボトルネックとなりがちである。

【0 0 1 0】

本発明の目的は、貨幣取扱装置のインテリジェント化を図りつつも、貨幣取扱装置の故障信頼性の低下を防ぐことにある。

【0 0 1 1】

【課題を解決するための手段】

本発明は、以上のような問題点に鑑みてなされたものであり、貨幣識別部が有する貨幣識別制御回路と、貨幣収納部が有する貨幣収納制御回路との間の電源及び情報の授受を2本の電力兼信号線を介して行うものである。

【0 0 1 2】

より具体的には、本発明は、以下のようなものを提供する。

【0 0 1 3】

(1) 外部から受け入れた貨幣の有効性を判定する貨幣識別部と、この貨幣識別部によって判定された貨幣を収納する着脱可能な貨幣収納部と、を含む貨幣取扱装置であって、前記貨幣識別部は、前記貨幣収納部に対して電力の供給を行うとともにこの貨幣収納部に対して前記貨幣収納部が収納する貨幣情報信号の送信を行う貨幣識別制御回路を含み、この貨幣識別制御回路は前記貨幣収納部との間で2本の電力兼信号線を介して接続されていることを特徴とする貨幣取扱装置。

【0 0 1 4】

(1) の発明によれば、貨幣識別制御回路が前記貨幣収納部に対し電力の供給及び情報信号の送信を行う電力兼信号線は2本にまとめられる。そして貨幣取扱装置の貨幣収納部はこの2本の電力兼信号線を介して電源及び貨幣情報信号を受け取ることができる。従って、貨幣取扱装置の貨幣収納部において貨幣識別部から電源の供給を受け、また送信される情報を受信するため必要となる線は2組で済む。このことにより、信頼性に一定の限界を有する部品の使用個数を抑えることにより、貨幣取扱装置全体の故障信頼性低下を抑えることができる。

【0015】

ここで、「貨幣」とは、商品交換の媒介物を意味し、特に本明細書においては遊技を行うための可搬の媒体である。従って、「貨幣」には、政府等の発行する紙幣や硬貨のみならず、例えば、特定の遊技場のみで通用するメダルも含まれる。

【0016】

また、「2本」の電力兼信号線とは、電源及び信号の供給が2本の電気配線により行われることを意味し、例えば、このうちの1本が筐体接地信号として、特別な接続端子やリード線等を用いることなく貨幣収納部筐体と貨幣識別部筐体の接触により電氣的に接続され、残る1本だけが接続端子やリード線を用いて接続されるようなものも含むものである。

【0017】

また、(1)の発明からは、外部から受け入れた貨幣の有効性を確認する貨幣識別部と、当該貨幣識別部によって有効と判定された貨幣を収納する着脱可能な貨幣収納部と、を含む貨幣取扱装置であって、前記貨幣識別部は、前記貨幣収納部に対して電力の供給を行うとともに当該貨幣収納部に対して前記貨幣収納部が収納する貨幣情報信号の送信を行う貨幣識別制御回路を含み、当該貨幣識別部は前記貨幣識別制御回路との間で接続する2本の電力兼信号線を介して電力及び貨幣情報信号を受ける貨幣収納制御回路を含む、貨幣取扱装置、といった事項も導かれる。

【0018】

(2) 2本の前記電力兼信号線は、前記貨幣識別部、前記貨幣識別部のそれぞれに設けられた2組の接続端子を介して接続可能である(1)記載の貨幣取扱装置。

【0019】

(2)の発明によれば、貨幣取扱装置の貨幣収納部において貨幣識別部から電源の供給を受け、また送信される情報を受信するため必要となる電力兼信号線は2組で済むことから、必要とされる接続端子も2組で済むこととなる。従って、信頼性に一定の限界を有する接続端子の使用個数を抑えることにより、貨幣取扱

装置全体の故障信頼性低下を抑えることができる。

【0 0 2 0】

ここで「2組」とあるのは、上記（1）の「2本」と同様、1組の接続端子を接地して、残りの接続は貨幣収納部筐体と貨幣識別部筐体同士の接触を利用する場合も含むものである。

【0 0 2 1】

（3） 前記貨幣識別制御回路は、貨幣情報信号をパルス信号として出力する識別側通信制御部と、パルス信号に応じて電源の供給停止を行う電源供給変換部と、を含み、前記貨幣収納部は、前記電力兼信号線を介して供給される電源を貨幣収納部に供給する電源供給部と、前記電力兼信号線を介して供給される貨幣情報信号を抽出する収納側受信部と、貨幣情報信号を受信する収納側通信制御部と、を含む、（1）または（2）記載の貨幣取扱装置。

【0 0 2 2】

（3）の発明によれば、貨幣取扱装置の貨幣収納部において貨幣識別部から送信される情報は、供給される電源電圧の供給停止パルスとして送信される。従って、貨幣取扱装置の貨幣収納部において貨幣識別部から電源の供給を受け、また送信される情報を受信するため必要となる線は、電力兼信号線として共用としつつも、貨幣収納部における単純な回路構成により、電源成分と信号成分とに容易に分離することが可能となる。

【0 0 2 3】

（4） 前記貨幣収納部は、さらに、前記収納側通信制御部がパルス信号として出力する収納部情報信号に応じ、前記電力兼信号線から電流の引き込みを行う電流引き込み部を含み、前記貨幣識別制御回路は、さらに、前記電力兼信号線の電位が、前記電流引き込み部の引き込みによるパルス信号を検出する識別側受信部を含む（3）記載の貨幣取扱装置。

【0 0 2 4】

（4）の発明によれば、貨幣収納制御部が電力兼信号線から電流の引き込みを行い電力兼信号線の電圧を変化させることにより、貨幣収納部から貨幣識別部へ方向の信号の送信を行うことができる。このことにより、貨幣取扱装置の貨幣

収納部と貨幣識別部の間の電力兼信号線の数は2本に抑えつつ、貨幣識別部から貨幣収納部への電源供給、及び貨幣識別部と貨幣収納部との間の双方向通信を電力兼信号線によって行うことが可能となる。従って、貨幣収納部に高機能な電子回路を設置した場合にも、その接続端子の数を2組に抑え、貨幣取扱装置全体の故障信頼性を維持することができる。

【0025】

(5) 前記識別側通信制御部が出力する貨幣情報信号は、リターン・トゥ・ゼロ (RZ) 符号形式に変調された信号である (4) 記載の貨幣取扱装置。

【0026】

(5) の発明によれば、識別側通信制御部が出力する貨幣情報信号にRZ符号形式を用いることにより、1又は0の値をとり得る貨幣情報信号が仮に連続した0の値を有した場合であっても、電力兼信号線における電源供給が長時間停止することがない。従って、貨幣収納制御回路においては、安定した電源電圧を得ることが可能となる。

【0027】

ここで、「ノン・リターン・トゥ・ゼロ (NRZ)」はデータ通信の符号伝送方式のひとつであり、信号パルスのレベルが、「1」ならHレベル、「0」ならLレベルにあり、単位タイムスロット幅の間に変化しない、非ゼロ復帰符号形式を意味する。これに対して、「リターン・トゥ・ゼロ (RZ)」は1タイムスロットの間でパルスが基準レベルに戻るゼロ復帰符号形式を意味するものである。

【0028】

(6) 前記識別側通信制御部は、前記貨幣情報信号を、前記電源供給変換部に対し出力する前にノン・リターン・トゥ・ゼロ (NRZ) 符号形式からリターン・トゥ・ゼロ (RZ) 符号形式に変調する識別側信号変調手段を含む (5) 記載の貨幣取扱装置。

【0029】

(6) の発明によれば、識別側通信制御部は貨幣情報信号をRZ符号形式に変調する識別側信号変調手段を含む。従って、変調を行うための特別の回路を設けることなく、信号をRZ符号形式に変調することができる。このことにより、安

価に貨幣収納制御回路に安定した電源電圧を供給することができる。

【0030】

(7) 前記収納側通信制御部は、前記収納側受信回路から入力した貨幣情報信号を、リターン・トゥ・ゼロ (RZ) 符号形式からノン・リターン・トゥ・ゼロ (NRZ) 符号形式に復調する収納側信号復調手段を含む (5) 記載の貨幣取扱装置。

【0031】

(7) の発明によれば、収納側通信制御部は貨幣情報信号を RZ 符号形式から NRZ に復調する識別側信号復調手段を含む。従って、特別の回路を別途に設けることなく、信号を NRZ 符号形式に復調することができる。このことにより、安価に貨幣収納制御回路に安定した電源電圧及び貨幣情報を供給することができる。

【0032】

(8) 前記収納側通信制御部が出力する収納部情報信号は、リターン・トゥ・ゼロ (RZ) 符号形式に変調された信号である (4) 記載の貨幣取扱装置。

【0033】

(8) の発明によれば、収納側通信制御部が出力する信号に RZ 符号形式を用いることにより、1 又は 0 の値をとる信号が仮に連続した 0 の値を有しても、電力兼信号線における電源供給が長時間ローレベル (L レベル) になることがない。従って、貨幣収納制御回路において、安定した電源電圧を得ることが可能となる。

【0034】

(9) 前記収納側通信制御部は、収納部情報信号を、電源引き込み部に対し出力する前にノン・リターン・トゥ・ゼロ (NRZ) 符号形式からリターン・トゥ・ゼロ (RZ) 符号形式に変調する収納側信号変調手段を含む (8) 記載の貨幣取扱装置。

【0035】

(9) の発明によれば、収納側通信制御部は信号を RZ 符号形式に変調する収納側信号変調手段を含む。従って、変調を行うための特別の回路を設けることな

く、信号を R Z 符号形式に変調することができる。このことにより、安価な構成で貨幣収納制御回路に安定した電源電圧を供給することができる。

【0036】

(10) 前記収納側通信制御部は、前記収納側受信回路から入力した貨幣情報信号を、リターン・トゥ・ゼロ (R Z) 符号形式からノン・リターン・トゥ・ゼロ (NR Z) 符号形式に変調する収納側信号復調手段を含む (5) 記載の貨幣取扱装置。

【0037】

(10) の発明によれば、識別側通信制御部は、信号を R Z 符号形式から NR Z に復調する識別側信号復調手段を含む。従って、特別の回路を別途に設けることなく、信号を NR Z 符号形式に復調することができる。このことにより、安価な構成で貨幣収納制御回路に安定した電源電圧及び貨幣情報を供給することができる。

【0038】

(11) 前記貨幣収納制御部は、前記接続端子と、前記電源供給部、前記電流引き込み部及び前記収納側受信部と、を仲介し、前記貨幣識別制御回路から前記電力兼信号線を介して供給される電源極性の正規化を行う、電源極性正規化回路を含む (3) から (10) いずれか記載の貨幣取扱装置。

【0039】

(11) の発明によれば、貨幣収納制御部が電源極性の正規化を行うことができる。従って、仮に 2 本の電力兼信号線を逆に接続した場合でも貨幣収納制御回路は正常に動作することができる。このことは、特に 2 本の電力兼信号線を介在する接続端子が貨幣収納部の筐体に直接に取り付けられるのではなく、貨幣収納部の筐体から取り出された導線に接続するコネクタによる場合など、2 組の端子を反対向きに取り付ける恐れがある場合に有効である。

【0040】

(12) 前記貨幣収納部は前記貨幣識別部から離脱した場合に、前記貨幣識別部とは別の収集装置と接続が可能であり、当該接続は前記貨幣識別部に設けられた 2 個の前記接続端子を介してなされるものであることを特徴とする (2) か

ら(10)いずれか記載の貨幣取扱装置。

【0041】

(12)の発明によれば、貨幣収納部に収納・蓄積された貨幣が回収される場合に、貨幣収納部は貨幣識別部から離脱して収集装置と接続する。そして、収集装置は貨幣収納部に電源や信号を送って貨幣収納部のふたの鍵を開錠したり、貨幣収納部に記憶された貨幣情報の信号を貨幣収納部から受信したりする。このとき、収集装置と貨幣収納部との接続は、貨幣収納部に設けられ貨幣識別部との接続に用いられた2個の接続端子を介して、2本の電源兼信号線により行われる。このように、貨幣収納部が収集装置と接続するための接続端子は、貨幣収納部が貨幣識別部と接続するための接続端子と兼用することが可能となる。したがって、貨幣収納部は収集装置と接続するための接続端子の増加なしに、貨幣取扱装置外の収集装置と接続することができる。このように、貨幣収納部が備える外部との接続端子の数を2組に抑え、貨幣取扱装置全体の故障信頼性を維持することができるのである。

【0042】

【発明の実施の形態】

以下に、本発明の実施形態について図面に基づいて説明する。なお、本実施形態は、本発明を紙幣取扱装置に適用した実施例により説明する。

【0043】

〔紙幣取扱装置〕

紙幣取扱装置11の概略を示す図を図1に示す。

【0044】

紙幣取扱装置11は、紙幣の有効性を確認する紙幣識別部13と、多数の紙幣を積み重ねて収納する紙幣収納部15を格納する本体部17と、から構成される。紙幣収納部15は、紙幣取扱装置11の本体部17に対して着脱可能である。

【0045】

次に、紙幣取扱装置11から紙幣収納部15を取り出した状態における紙幣取扱装置11の概略を図2に示す。

【0046】

紙幣収納部 15 には、運搬する際に、紙幣収納部 15 を保持するための取手 23 が設置される。この取手 23 は、紙幣収納部 15 を紙幣取扱装置 11 の本体部 17 から脱着する際に紙幣収納部 15 を保持するためにも用いられる。また、紙幣収納部 15 は、投入された紙幣が紙幣識別部 13 により有効であると判定された後に紙幣収納部 15 内に挿入するための紙幣収納口 21 を有する。さらに、紙幣収納部 15 は、紙幣収納部 15 内に収納された紙幣を取り出すためのふた 25 を有する。

【0047】

紙幣識別部 13 は、紙幣取扱装置 11 が設置される遊技機や自動販売機等の外部から紙幣を投入するための紙幣受入口 19 を有する。また、紙幣識別部 13 は紙幣識別制御回路基板 27 を内蔵する。紙幣識別制御回路基板 27 には、紙幣を搬送するモータを駆動制御したり、紙幣を識別するためのセンサからの信号を検出し、紙幣の真贋といった有効性の判断を行ったり、また、紙幣収納部 15 に信号を送信するための紙幣識別制御回路 110 (図 4 参照) が実装される。

【0048】

また、紙幣取扱装置 11 の本体部 17 は、接続端子 33、35 を備える。紙幣識別制御回路基板 27 と、接続端子 33、35 との間は、それぞれ 2 本の電力兼信号線 29、31 により接続される。接続端子 33、35 はそれぞれ、導電性材料による棒状突起により構成され、本体部 17 内部側に押し込まれるように移動可能となっているが、内蔵される弾性部材 (図示せず) により、突起が突出する側に付勢されている。

【0049】

次に、紙幣収納部 15 を、取手 23 が設置されている側面の反対側面から見た図を図 3 に示す。

【0050】

紙幣収納部 15 は、紙幣収納制御回路基板 39 を内蔵する。紙幣収納制御回路基板 39 には、紙幣収納部 15 の状態を監視し、また収納した紙幣の種類の記憶を行う紙幣収納制御回路 210 (図 4 参照) が実装される。また、紙幣収納部 15 は、接続端子 45、47 を備えており、紙幣収納制御回路基板 39 と、接続端

子 45、47 のそれぞれとの間は、2 本の電力兼信号線 41、43 により接続されている。接続端子 45、47 はそれぞれ、導電性材料による長円状の平板である。紙幣収納部 15 が本体部 17 に装着される場合には、平板状の接続端子 45、47 はそれぞれ、本体部 17 に設置された、突起状の接続端子 33、35 に押し当てられ電氣的に接続がなされる。平板状の接続端子 45、47 が弾性部材により付勢された突起状の接続端子 33、35（図 4 参照）に押し当てられることにより良好な接触を保つ。

【0051】

このように、本体部 17 側の接続端子 33 と紙幣収納部 15 側の接続端子 45、そして本体部 17 側の接続端子 35 と紙幣収納部 15 側の接続端子 47 は、2 組のコネクタを形成する。

【0052】

そして、この 2 組の接続端子の接続により、2 本の電力兼信号線 29 及び 41、並びに 31 及び 43 を介して、紙幣識別部 13 側の紙幣識別制御回路基板 27 と紙幣収納部 15 側の紙幣収納制御回路基板 39 は接続される。

【0053】

このように、電力兼信号線を接続する接続端子の数を 2 組とし、ある一定の故障率を有する端子数の増加を抑えることによって、紙幣取扱装置 11 全体の信頼性を高めることができる。

【0054】

[紙幣取扱装置の動作]

紙幣取扱装置 11 は、通常スロットマシン等の遊技機や両替機、そして自動販売機等の筐体内に設置され、紙幣受入口 19 の部分が遊技機等の筐体の外に露出している。紙幣受入口 19 から紙幣が挿入されると紙幣収納部 15 は紙幣識別制御回路基板 27 上に実装された紙幣識別制御回路 110 の制御によって内蔵のモータ（図示せず）を駆動し、紙幣を内部に引き込む。その際にセンサ 122（図 4 参照）等の信号を紙幣識別制御回路 110 により検出し、予め記憶している真正の紙幣についての検出データとの比較を行い、紙幣の真贋といった有効性を判断する。

【 0 0 5 5 】

上記判断の結果、紙幣が無効なものであると判断した場合、紙幣識別部 1 3 は挿入された紙幣を紙幣受入口 1 9 へと送り返す。この一方で紙幣が有効なものであると判断した場合、紙幣識別部 1 3 は挿入された紙幣を紙幣収納口 2 1 から紙幣収納部 1 5 へと挿入する。そして、紙幣収納部 1 5 は、挿入された紙幣を内部に積み重ねるように収納する。

【 0 0 5 6 】

また、紙幣識別部 1 3 が、有効と判断した紙幣を紙幣収納口 2 1 から紙幣収納部 1 5 へと送り出す際には、送り出す紙幣の種類についての情報が紙幣識別制御回路 1 1 0 (図 4 参照) から、紙幣収納制御回路 2 1 0 へと送信される。そして、紙幣収納部 1 5 の紙幣収納制御回路 2 1 0 (図 4 参照) には、紙幣収納部 1 5 が収納した紙幣の種類及び数が累積的に記憶されていく。

【 0 0 5 7 】

紙幣収納部 1 5 に収納された紙幣が回収されるときには、紙幣収納部 1 5 が本体部 1 7 から取り外される。

【 0 0 5 8 】

紙幣収納部 1 5 内に収納された紙幣を取り出す際に開けるふた 2 5 は、ソレノイド 2 8 6 (図 6 参照) の駆動により通常は施錠されている。しかし、紙幣収納部 1 5 の外部から接続端子 4 5、4 7 を介して、暗証番号信号が入力されると、紙幣収納部 1 5 内の紙幣収納制御回路 2 1 0 はソレノイド 2 8 6 を駆動してふた 2 5 の開錠を行う。

【 0 0 5 9 】

また、紙幣収納部 1 5 内に収納された紙幣を回収する際には、紙幣収納制御回路 2 1 0 に記憶されている、紙幣収納部 1 5 が収納した紙幣の種類及び数の情報を、紙幣収納部 1 5 の外部から接続端子 4 5、4 7 を介して読み出すことができる。これにより、紙幣識別部 1 3 により有効と判断され紙幣収納部 1 5 内に収納された紙幣が、現実には紙幣収納部 1 5 内に収納されているか否かの確認をすることができる。また、万が一、紙幣収納部 1 5 を運搬中に紙幣が紛失した等の場合にも、紛失した紙幣の種類と数量が判明するのである。

【0060】**[回路ブロック]**

次に、紙幣取扱装置 11 を制御する制御回路の構成を、図 4 のブロック図を参照して説明する。

【0061】**<紙幣識別部>**

紙幣識別部 13 には、紙幣収納部 15 への通信の制御を行う紙幣識別制御回路 110 が実装される。紙幣識別制御回路 110 は、通信データの生成等を行う識別側通信制御部 120 と、この識別側通信制御部 120 に接続する、電源供給変換部 150 により構成される。また、識別側通信制御部 120 には、紙幣受入口から受け入れた紙幣の状態を検知するための、光センサや磁気センサといったセンサ 122 が接続される。

【0062】

識別側通信制御部 120 は、CPU（中央処理装）や ROM、RAM 等が 1 個の IC に集積されたマイクロ・コンピュータ・ユニット（MCU、いわゆる「マイコン」）により構成される。そして、CPU が、内蔵する ROM に記憶されたプログラムに従い、RAM や I/O ポートそしてシリアルインターフェースと協働して処理を行う。このことにより、紙幣収納制御回路 210 に送信する紙幣の種類や枚数といった紙幣情報の生成及びこの紙幣情報をシリアル伝送が可能な符号化を行うシリアルフォーマット変換を行う識別側主制御手段 121、そして、シリアルフォーマット変換された紙幣情報信号をさらに RZ 符号形式のパルス信号に変換する識別側信号変調手段 123 の処理を行う。

【0063】

電源供給変換部 150 は電流駆動型のオペアンプ又は電圧レベルシフタから構成され、識別側通信制御部 120 の識別側信号変調手段 123 が生成するパルス信号に応じて出力電流の供給／停止を行う。

【0064】

電源供給変換部 150 の出力の一端は接続端子 33 に接続され、出力の別の一端は、グランドレベル信号として接続端子 35 に接続される。

【0065】**<紙幣収納部>**

紙幣取扱装置 11 の紙幣収納部 15 には、紙幣識別部 13 からのデータを受信して、データの記録を行う紙幣収納制御回路 210 が配置される。紙幣収納制御回路 210 は、電源供給部 250 と、データ記録部 260 と、収納側受信部 270 と、ふた施開錠部 280 とを有する。

【0066】

電源供給部 250 は、ダイオード及び三端子レギュレータ等から構成される。電源供給部 250 は、接続端子 45 に接続され、電力兼信号線から供給される電源成分と信号成分の合成から電源成分のみを抽出し、収納側通信制御部 220 を含む紙幣収納制御回路 210 に安定した電源電圧を供給する。

【0067】

収納側受信部 270 は、ダイオード及びフォトカプラ等から構成される。収納側受信部 270 は、接続端子 45 に接続され、電力兼信号線から供給される電源成分と信号成分の合成から信号成分のみを抽出する。収納側受信部 270 は、具体的には電力兼信号線の電圧が所定の値以上であればハイレベル、所定の値以下であればローレベルを出力するものである。

【0068】

収納側通信制御部 220 は、CPU（中央処理装置）やROM、RAM等が1個のICに集積されたマイクロ・コンピュータ・ユニット（MCU、いわゆる「マイコン」）により構成される。収納側通信制御部 220 は、電源供給部 250 からの電源供給を受け、また、データ記録部 260、収納側受信部 270、ふた施開錠部 280 に接続される。

【0069】

収納側通信制御部 220 は、内蔵するROMに記憶されたプログラムに従い、内蔵CPUがRAMやIOポートそしてシリアルインターフェースと協働して処理を行うことにより、収納側受信部 270 から出力される後述のRZ符号形式のパルス信号をNRZ符号形式のシリアルフォーマットの紙幣情報信号に変換する収納側信号復調手段 255、そしてシリアルフォーマットの紙幣情報信号を受信

し、データ記憶部 2 6 0 に記憶させる収納側主制御手段 2 2 1 を実現する。

【0 0 7 0】

データ記録部 2 6 0 は、E E P R O M やフラッシュメモリ等の不揮発性メモリにより構成され、収納側通信制御部 2 2 0 に接続される。データ記録部 2 6 0 は収納側通信制御部 2 2 0 の収納側主制御手段 2 2 1 により出力されるデータを記憶する。また、収納側通信制御部 2 2 0 の収納側主制御手段 2 2 1 により読み出されるデータを出力する。

【0 0 7 1】

このように、紙幣識別制御回路 1 1 0 の側において、入力パルス信号に応じ電力兼信号線を介して供給する出力電流の供給／停止を行う電源供給変換部 1 5 0 を有し、また、紙幣収納制御回路 2 1 0 の側において、電力兼信号線を介して供給される合成成分から電源成分のみを抽出し、安定した電源電圧供給を行う電源供給部 2 5 0 と、電力兼信号線を介して供給される合成成分から信号成分のみを抽出する収納側受信部 2 7 0 とを有することにより、電力兼信号線はグランド基準電位線を含め 2 本でまかなうことができる。従って、電力兼信号線を接続する接続端子 3 3、4 5、3 5、4 7 も 2 組とすることができ、所定の故障率を有する接続端子の数量増加を防止することによって、紙幣取扱装置 1 1 全体の信頼性を高めることができる。

【0 0 7 2】

また、紙幣収納制御回路 2 1 0 には、ソレノイド及びその駆動を制御する制御回路から構成される、ふた施開錠部 2 8 0 が接続される。ふた施開錠部 2 8 0 は収納側通信制御部 2 2 0 に接続され、収納側通信制御部 2 2 0 からの制御信号に基づいて、紙幣収納部 1 5 のふた 2 5 を施開錠する施錠機構（図示せず）を駆動する。これにより、紙幣収納部 1 5 が紙幣取扱装置 1 1 の本体部 1 7 から取り外された状態においても、不用意にふた 2 5 が開くことのないように施錠の制御を行なう。

【0 0 7 3】

[詳細な回路構成]

次に、紙幣取扱装置 1 1 を制御する制御回路のより詳細な構成を、図 5 及び図

6の回路図を参照して説明する。

【0074】

<紙幣識別部>

識別側通信制御部120は、プログラムに従いデータの読み出し、書き込み及び演算を行うCPU（中央処理装置）126、プログラムを記憶するROM128、演算データを記憶するRAM127、データを特定のシリアル形式に変換して端子に出力するシリアル出力インターフェース（以下、シリアルOUT IFとも言う）129、外部端子とのデータの入出力を行うIOポートA130、IOポートB131及びIOポートC132（以下それぞれPA、PB、PCとも言う）がバス133により結合された状態で1個のICに集積されたマイクロ・コンピュータ・ユニット（MCU、いわゆる「マイコン」）により構成される。

【0075】

<識別側主制御手段>

識別側通信制御部120は、内蔵するROM128に記憶されたプログラムに従い、CPU126が、RAM127やシリアル出力インターフェース129と協働して処理を行うことにより、紙幣収納制御回路210に送信する紙幣の種類や枚数といった紙幣情報の生成、紙幣情報をシリアル伝送が可能な符号化を行うシリアルフォーマット変換を行う識別側主制御手段（処理）121を実現する。

【0076】

シリアル出力インターフェース（シリアルOUT IF）129はシフトレジスタ、クロック分周器から構成され、EIA/TIA-232（RS-232）標準規格に規定されるものと同じのタイミングによる、歩調同期式のシリアルフォーマット信号の出力を行う。

【0077】

例えば、識別側主制御手段121が16進法で「86」となるデータを送信する場合には、CPU126がシリアル出力インターフェース129に「86」のデータを書き込む。すると、シリアル出力インターフェース129はデータを二進数に置き換えた「10000110」に対し、先頭にスタートビットの0と後尾にストップビットの1を加えた「0100001101」の値をMSBから順

番に一定の間隔を置いて出力する。従って、シリアル出力インターフェース 129 の出力信号 S A の波形は、図 7 に示すように「L H L L L L H H L H」となる。ここで、H（ハイ）は「1」に対応する 5 V の電圧レベル、そして、L（ロー）は「0」に対応する 0 V のレベルである。なお、信号出力のビットレートタイミングとしては、300 ビット／S から 9600 ビット／S であれば、簡易な回路構成によりビット誤りの少ないデータ送信が行える。さらに 600 から 2400 の範囲では、ビット誤りも少なくかつ、適切なデータ送信スピードが得られる。

【0078】

<識別側信号変調手段>

シリアル出力インターフェース 129 の出力信号 S A は I O ポート B 131 に入力される。ここで識別側通信制御部 120 は、内蔵する R O M に記憶されたプログラムに従い、C P U 126 が R A M 127 や I O ポート B 131 及び I O ポート C 132 と協働して処理を行うことにより、符号形式を、リターン・トゥ・ゼロ（R Z）符号形式に変調する識別側信号変調手段（処理）123 を実現する。

【0079】

識別側信号変調手段 123 は I O ポート B 131 に入力される信号のレベルが変化した場合にのみ、一定の短期間 I O ポート C 132 に L レベル出力を行い、その後、I O ポート C 132 に H レベル出力を行う。

【0080】

従って、例えば、図 7 に示す S A の波形の入力信号があった場合に対し、I O ポート C 132 への出力信号 S B の波形は入力信号の変化点においてのみ端子間の L レベルパルスが出力され、他の期間では H レベルとなる。

【0081】

<電源供給変換部>

電源供給変換部 150 は、12 V の電源に接続された電流出力が可能なレベルシフタ 151 及びその出力に直列に接続された抵抗 152 により構成される。レベルシフタ 151 の入力には識別側通信制御部 120 の I O ポート C 132 が接

続される。抵抗 152 は約 $100\ \Omega$ の値であり、電力兼信号線に対する電源供給に関し適度のピーダンスを与える。

【0082】

この構成により、例えば、図 7 の S B に示す波形の信号が入力された場合に対する電源供給変換部 150 の出力信号 S C の波形は、S B と同様であるが H レベルの電圧が約 12 V となる。

【0083】

電源供給変換部 150 の出力は、電力兼信号線 29、接続端子 33、45 そして再び電力兼信号線 41 を経由して紙幣収納制御回路 210 へと導かれる。また、グラウンドレベル線も、電力兼信号線 31、接続端子 35、47 そして再び電力兼信号線 43 を経由して紙幣収納制御回路 210 へ接続される。

【0084】

<電源供給部>

電力兼信号線 41 は、電源供給部 250 及び収納側受信部 270 に接続される。

【0085】

電源供給部 250 では、電力兼信号線 41 が、電流逆流防止用のダイオード 251 のアノードに接続され、ダイオード 251 のカソードが平滑用コンデンサ 252 を介してグラウンドに接続される。また、ダイオード 251 のカソードはダイオード 253 を介して三端子レギュレータ 254 の入力に接続され、三端子レギュレータ 254 の出力は抵抗 256 及びダイオード 257 を介して、電源供給部 250 の出力になると共に補助電源用バッテリー 258 の正端子に接続され構成される。

【0086】

紙幣識別制御回路 210 から電源供給部 250 に供給される電源電圧が H レベルすなわち約 12 V の時には、この電流がダイオード 251 のアノード側からカソード側へと流れ、電源供給部 250 のコンデンサ 252 を充電する。しかしこれとは逆に、電源電圧が L レベルすなわち約 0 V の時には、コンデンサ 252 に充電された電流が、ダイオード 251 から流れることがない。したがって、電源

供給部 250 に供給される電源電圧が短時間 L レベルとなっても、コンデンサ 252 の電圧が急激に変化することがない。そして、この電源電圧は三端子レギュレータ 254 を通じ、例えば 5 V の定電圧に変換されて出力される。すなわち、図 7 の S C に示すように、電源供給部 250 の入力電圧が、信号伝送のため H レベルと L レベルの間で変動した場合でも、出力電圧 S D は一定値を保ち続け安定した電源を供給する。

【0087】

このようにして、電力兼信号線 41 により供給される電源成分及び信号成分の中から電源成分のみが取り出されるようになる。

【0088】

<収納側受信部>

収納側受信部 270 は、電力兼信号線 41 が抵抗 271 及びダイオード 272 を介してフォトカプラ 273 のアノードに接続される。また、フォトカプラ 273 のエミッタは収納側受信部 270 の出力となると共に抵抗 274 を介してグラウンドに接続される。フォトカプラ 273 のカソード及びコレクタは電源供給部 250 の出力に接続される。

【0089】

収納側受信部 270 の出力信号 S E の波形は、入力信号 S C と同様であるが、フォトカプラ 273 を経由することによって、H レベルが電源供給部 250 の出力のレベルとほぼ等しくなる。これにより、信号の電圧は、収納側通信制御部 220 が入力可能なレベルに変換される。また、紙幣識別制御回路からの電力供給の有無を確認する場合にも、電力兼信号線 41 の高電圧を直接に監視するのではなく、フォトカプラ 273 を経由した、収納側通信制御部 220 が入力可能な電圧レベルの信号を監視すればよい。

【0090】

収納側通信制御部 220 は、プログラムに従いデータの読み出し、書き込み及び演算を行う CPU（中央処理装置）226、プログラムを記憶する ROM 228、演算データを記憶する RAM 227、端子から入力された特定のシリアル形式データを変換するシリアル入力インターフェース（以下、シリアル I N I F

とも言う) 2 2 9、外部端子とのデータの入出力を行う I O ポート A 2 3 0、I O ポート B 2 3 1 及び I O ポート C 2 3 2 (以下それぞれ P A、P B、P Cとも記載する) がバス 2 3 3 により結合された状態で 1 個の I C に集積されたマイクロ・コンピュータ・ユニット (M C U、いわゆる「マイコン」) により構成される。収納側通信制御部 2 2 0 には、紙幣収納部 1 5 が本体部 1 7 より取り外されたことや、ふた 2 5 が開いたことを検知するためのスイッチ等によるセンサ 2 3 7、2 3 8 も接続されている。

【0 0 9 1】

<収納側信号復調手段>

収納側受信部 2 7 0 の出力は I O ポート C 2 3 2 に入力される。ここで収納側通信制御部 2 2 0 は、内蔵する R O M に記憶されたプログラムに従い、C P U 2 2 6 が R A M 2 2 7 や I O ポート B 2 3 1 及び I O ポート C 2 3 2 と協働して処理を行うことにより、入力信号の符号形式を、リターン・トゥ・ゼロ (R Z) 符号形式から、ノン・リターン・トゥ・ゼロ (N R Z) 符号形式に変換する収納側信号復調手段 2 2 5 の処理を実現する。

【0 0 9 2】

収納側信号復調手段 2 2 5 の処理は I O ポート C 2 3 2 に入力される信号のレベルが、L レベルとなった場合に I O ポート B 2 3 1 の出力電圧レベルを反転する。

【0 0 9 3】

従って、例えば、図 7 に示す S E の波形の入力信号があった場合に対し、I O ポート B 2 3 1 への出力信号 S F の波形は入力信号に L レベルのパルスがあった場合のみ反転する、そして出力信号 S F の波形は、結果として S A の波形と同様となるのである。また、収納側信号復調手段 2 2 5 の処理では、紙幣識別制御回路からの電力供給の有無を監視することもできる。

【0 0 9 4】

<収納側主制御手段>

収納側通信制御部 2 2 0 は、内蔵する R O M に記憶されたプログラムに従い、C P U 2 2 6 が R A M 2 2 7 やシリアル入力インターフェース 2 2 9 と協働して

処理を行うことにより、シリアルフォーマットにより伝送されてきた信号を紙幣情報といったデータとして復号する収納側主制御手段 2 2 1 の処理を実現する。

【0 0 9 5】

シリアル入力インターフェース 2 2 9 は、シフトレジスタにより構成され、E I A / T I A - 2 3 2 (R S - 2 3 2) 標準規格に規定されるものと同一のタイミングによる、歩調同期式のシリアルフォーマットの信号を復号する。

【0 0 9 6】

例えば、収納側信号復調手段 2 2 5 から出力された信号 S F が図 7 に示す通り「L H L L L H H L H」の場合、先頭のスタートビットの L と後尾のストップビットの H を除き、M S B から順番に一定の間隔を置いて取り込み、1 6 進法で「8 6」のデータを得る。

【0 0 9 7】

このようにして、識別側主制御手段 1 2 1 が送信した「8 6」というデータが接続端子 3 3、4 5、及び電力兼信号線 2 9、4 1 を介して、収納側主制御手段 2 2 1 に受信される。また、得られたデータは、メモリインターフェース 2 3 5 に書き込まれる。メモリ I F 2 3 5 は、データ記録部 2 6 0 を構成する外部メモリ 2 6 1 に対して通信を行い、書き込まれたデータを外部メモリ 2 6 1 に記憶させる。得られたデータがふた 2 6 の施開錠の命令である場合には、収納側主制御手段 2 2 1 は I O ポート A 2 3 0 への書き込みを介して、I O ポート A 2 3 0 に接続されたふた施開錠部 2 8 0 のトランジスタ 2 8 2 を制御し、ソレノイド 2 8 6 を駆動する。そしてふた 2 6 の施開錠を行う。

【0 0 9 8】

上述のように、データはシリアル形式に変換されることにより 2 本の線で送信することができる。さらにシリアル形式に変換した信号が R Z 符号形式に変換され、これに応じて、電源供給変換部 1 5 0 から出力される電源レベルが、電源供給部 2 5 0 の平滑コンデンサ 2 5 2 の時定数に対し短い時間だけ L レベルとなる信号の送信を行うことにより、電源供給部 2 5 0 の出力波形を平滑に保持したままで、電源の供給と信号の送信を兼用することが可能となる。ここで、電力兼信号線を、信号が送信されるときの電圧パルスの立ち上がり及び立ち下り時間は 2

0 p S から 1 0 n S の間であれば、電源供給部 2 5 0 出力波形の平滑性を良好に保つことができる。さらに、5 0 p S から 2 n S の間では平滑性がより良好となる。

【0 0 9 9】

[識別側通信制御部 C P U の処理]

次に、識別側通信制御部 1 2 0 の C P U 1 2 6 が R O M 1 2 8 に記憶されたプログラムに基づいて行う識別側主制御処理を、図 8 のフローチャートを参照して説明する。

【0 1 0 0】

まず、C P U 1 2 6 はステップ S 1 0 において、挿入される紙幣の分析処理を行う。紙幣判別の処理は、C P U 1 2 6 がセンサ 1 2 2 のデータを読み込み R O M 1 2 8 に記憶された基準値と比較を行うこと等により行われる。

【0 1 0 1】

次に、C P U 1 2 6 は、上述の分析処理の結果から、挿入される紙幣が有効か否かの判断を行う（ステップ S 1 1）。挿入される紙幣が有効でないと判断する場合、C P U 1 2 6 は処理をステップ S 1 0 に移す。この一方で挿入される紙幣が有効であると判断する場合、C P U 1 2 6 は処理をステップ S 1 2 に移す。

【0 1 0 2】

ステップ S 1 2 において、C P U 1 2 6 は、紙幣を紙幣収納部 1 5 へと移すとともに、紙幣情報を送出する。具体的には、C P U 1 2 6 は、分析結果による紙幣種類の情報をシリアル出力インターフェース 1 2 9 に書き込む。その後 C P U 1 2 6 は処理をステップ S 1 0 に移す。

【0 1 0 3】

次に、識別側通信制御部 1 2 0 の C P U 1 2 6 が R O M 1 2 8 に記憶されたプログラムに基づいて行う識別側信号変調処理を、図 9 のフローチャートを参照して説明する。

【0 1 0 4】

まず、C P U 1 2 6 はステップ S 2 0 において、I O ポート B 1 3 1 の入力信号を検出する。具体的には、C P U 1 2 6 は I O ポート B 1 3 1 のデータを読み

出す。

【0105】

次に、CPU126は、ステップS21において、I/OポートB131の入力信号レベルが前回の検出結果から変化した否かを判別する。

【0106】

I/OポートB131の入力信号レベルが前回の検出結果から変化していないと判断する場合、CPU126は処理をステップS20に移す。この一方で入力信号レベルが前回の検出結果から変化したと判断した場合、CPU126は処理をステップS22に移す。

【0107】

ステップS22において、CPU126はI/OポートC132の出力をLレベルにする。続いて、CPU126は一定のパルス幅期間だけ、処理を待つ（ステップS23）。さらに続いて、CPU126はI/OポートC132の出力をHレベルにする（ステップS24）。そして、CPU126は処理をステップS20に移す。

【0108】

この処理によって識別側通信制御部120は、I/OポートB131に入力されるシリアル通信信号が反転する場合にのみ、特定の短い期間、Lレベルパルスを出力する。このことによって、NRZ符号形式の信号をRZ符号形式の信号へと変換する処理が実行される。

【0109】

[収納側通信制御部CPUの処理]

次に、収納側通信制御部220のCPU226がROM228に記憶されたプログラムに基づいて行う収納側信号復調処理を、図10のフローチャートを参照して説明する。

【0110】

まず、CPU226はステップS30において、I/OポートC232の入力信号レベルがLレベルか否かを判別する。本ステップにおいて、CPU226がI/OポートC232の入力信号レベルはLレベルでないと判断した場合には、CP

U 2 2 6 は処理をステップ S 3 0 に移す。この一方で、C P U 2 2 6 が I O ポート C 2 3 2 の入力信号レベルは L レベルであると判断した場合には、C P U 2 2 6 は処理をステップ S 3 1 に移す。

【0 1 1 1】

ステップ S 3 1 において、C P U 2 2 6 は I O ポート B 2 3 1 の出力レベルを反転する。具体的には、C P U 2 2 6 は I O ポート B 2 3 1 の出力データをバス 2 3 3 を通じて読み出し、読み出した値の論理レベルを反転する演算を行い、その後再び I O ポート B 2 3 1 に書き込む。

【0 1 1 2】

この処理によって、収納側通信制御部 2 2 0 は I O ポート C 2 3 2 に入力される R Z 符号形式のパルス信号を N R Z 符号形式の信号へと変換することができる。

【0 1 1 3】

次に、収納側通信制御部 2 2 0 の C P U 2 2 6 が R O M 2 2 8 に記憶されたプログラムに基づいて行う収納側主制御処理を、図 1 1 のフローチャートを参照して説明する。

【0 1 1 4】

まず、C P U 2 2 6 はステップ S 4 0 において、紙幣情報を受信したか否かを判別する。具体的には、C P U 2 2 6 は、シリアル入力インターフェース 2 2 9 の値を読み出し、予め設定された紙幣情報を示す値と等しいか比較する。C P U 2 2 6 は、紙幣情報を受信しなかったと判断した場合には、ステップ S 4 0 の処理を繰り返す。この一方で、紙幣情報を受信したと判断した場合には、C P U 2 2 6 は、処理をステップ S 4 1 に移す。

【0 1 1 5】

ステップ S 4 1 において、C P U 2 2 6 は、受信した紙幣情報を記録する。具体的には、C P U 2 2 6 は、受信した紙幣情報をメモリーインターフェース 2 3 5 に書き込む。このことによって、紙幣収納部 1 5 に収納される紙幣の情報が紙幣収納制御回路 2 1 0 に記憶される。

【0 1 1 6】

〔第二の実施の形態〕

次に、本発明の第二の実施の形態について説明する。第二の実施の形態にかかる紙幣取扱装置 1 1 においては、紙幣識別部 1 3 から紙幣収納部 1 5 に対するデータの送信に加え、紙幣収納部 1 5 から紙幣識別部 1 3 に対するデータの信号送信が行われる。

【0 1 1 7】

〔回路構成〕

第二の実施の形態において、紙幣取扱装置 1 1 を制御する制御回路の構成を図 1 2 のブロック図を参照して説明する。

【0 1 1 8】

＜紙幣収納部＞

紙幣取扱装置 1 1 の紙幣収納部 1 5 には、紙幣識別部 1 3 からのデータを受信して、データの記録を行う紙幣収納制御回路 1 2 1 0 が配置される。紙幣収納制御回路 1 2 1 0 は、電源供給部 1 2 5 0 と、データ記録部 1 2 6 0 と、収納側受信部 1 2 7 0 と、ふた施開錠部 1 2 8 0 とを有する点において、上述の第一の実施形態における紙幣収納制御回路 2 1 0 と同様である。しかし、第二の実施の形態における紙幣収納制御回路 1 2 1 0 は、これらに加えて、収納側通信制御部 1 2 2 0 が収納側信号変調手段 1 2 2 3 を有し、また、電流引き込み部 1 3 0 0 及び電源極性正規化部 1 2 9 0 を有する点が上述の第一の実施形態における紙幣収納制御回路 2 1 0 と異なる。次に、差異点である電源極性正規化部 1 2 9 0、収納側信号変調手段 1 2 2 3 及び電流引き込み部 1 3 0 0 を中心に説明する。

【0 1 1 9】

電源極性正規化部 1 2 9 0 はダイオードブリッジにより構成される。電源極性正規化部 1 2 9 0 が紙幣収納制御回路に設けられることにより、接続端子 3 3、3 5 と、接続端子 4 5、4 7 が仮に、互い違いに接続されたとしても、電源供給部 1 2 5 0 や収納側受信部 1 2 7 0 に入力される電圧の極性は常に同じとなる。これによって、特に接続端子形態がケーブルコネクタのように逆向きに接続する恐れのある場合であっても、回路部品が破壊されることがない。したがって、紙幣取扱装置 1 1 の故障信頼性が向上する。

【0120】

また、収納側通信制御部1220は、CPU（中央処理装置）やROM、RAM等が1個のICに集積されたマイクロ・コンピュータ・ユニット（MCU、いわゆる「マイコン」）により構成される。そして、内蔵するROMに記憶されたプログラムに従い、CPUが内蔵するRAMやI/Oポートそしてシリアルインターフェースと協働して処理を行うことにより、紙幣識別制御回路1110に送信する情報をシリアル伝送が可能なシリアルフォーマット変換を行う収納側主制御手段1221の処理、そして、上述のシリアルフォーマット変換された情報信号をさらに後述のRZ符号形式のパルス信号に変換する収納側信号変調手段1223の処理を実現する。

【0121】

電流引き込み部1300は収納側通信制御部1220の収納側信号変調手段1223が生成するパルス信号に応じて、電力兼信号線をグランドに短絡する。電力兼信号線は、紙幣識別制御回路1110の電源供給変換部1150により駆動されるが、この駆動出力は抵抗1152により、インピーダンスが付加されている。従って、電流引き込み部1300が電力兼信号線をグランドに短絡する期間は、その間電力兼信号線の電圧はLレベルになる。

【0122】**<識別部>**

紙幣取扱装置11の紙幣識別部13には、紙幣収納部15への通信の制御を行なう紙幣識別制御回路1110が配置される。紙幣識別制御回路1110は、通信データの生成等を行う識別側通信制御部1120と、この識別側通信制御部1120に接続する、電源供給変換部1150とを有する点が上述の第一の実施形態の紙幣識別制御回路1110と同様である。しかし、第二の実施の形態における紙幣識別制御回路1110は、これらに加えて、識別側受信部1160を有する点において異なる。

【0123】

識別側通信制御部1120は、CPU（中央処理装置）やROM、RAM等が1個のICに集積されたマイクロ・コンピュータ・ユニット（MCU、いわゆる

「マイコン」)により構成される。そして、内蔵するROMに記憶されたプログラムに従い、CPUが内蔵するRAMやI/Oポートそしてシリアルインターフェースと協働して処理を行うことにより、識別側受信部1160から出力されるRZ符号形式のパルス信号を、シリアルフォーマットの情報信号に変換する識別側信号復調手段の処理、そしてシリアルフォーマットの情報信号を受信する収納側主制御手段1221の処理を実現する。

【0124】

[制御回路]

本発明の第二の実施の形態における制御回路の構成を、図13及び図14の回路図を参照して説明する。

【0125】

<収納部>

収納側通信制御部1220(図12参照)における収納側主制御手段1221には、シリアルフォーマット変換を行う機能が加わり、また、RZ符号形式のパルス信号に変換する識別側信号変調手段1223(図12参照)が加わっている。しかし、これらはいずれも本発明の第一の実施の形態における識別側通信制御部120の識別側主制御手段121の機能及び、識別側信号変調手段123と同様の構成及び機能を有するものである。

【0126】

すなわち、シリアル出力インターフェース(シリアルOUTIF)129はシフトレジスタ、クロック分周器から構成され、EIA/TIA-232(RS-232)標準規格に規定されるものと同じのタイミングによる、歩調同期式のシリアルフォーマット信号の出力を行う。

【0127】

例えば、収納側主制御手段1221が16進法で「86」となるデータを送信する場合には、CPU1226がシリアル出力インターフェース1229に「86」のデータを書き込む。すると、シリアル出力インターフェース1229はデータを二進数に置き換えた「10000110」に対し、先頭にスタートビットの0と後尾にストップビットの1を加えた「0100001101」の値をMS

Bから順番に一定の間隔を置いて出力する。従って、シリアル出力インターフェース 1 2 9 の出力信号 S G の波形は、図 1 5 に示すように「L H L L L L H H L H」となる。ここで、Hは「1」に対応する 5 V の電圧レベル、そして、Lは「0」に対応する 0 V のレベルである。なお、信号出力のビットレートタイミングとしては、3 0 0 ビット／S から 9 6 0 0 ビット／S であれば、簡易な回路構成によりビット誤りの少ないデータ送信が行える。さらに 6 0 0 から 2 4 0 0 の範囲では、ビット誤りも少なくかつ、適切なデータ送信スピードが得られる。

【0 1 2 8】

シリアル出力インターフェース 1 2 2 9 の出力信号 S G は I O ポート B 1 2 3 1 に入力される。ここで収納側通信制御部 1 2 2 0 は、内蔵する R O M 1 2 2 8 に記憶されたプログラムに従い、C P U 1 2 2 6 が R A M 1 2 2 7 や I O ポート E 1 2 4 1 及び I O ポート D 1 2 4 0 と協働して処理を行うことにより、符号形式を、リターン・トゥ・ゼロ（R Z）符号形式に変調する収納側信号変調手段（処理）1 2 2 3 を実現する。

【0 1 2 9】

収納側信号変調手段 1 2 2 3 は I O ポート E 1 2 4 1 に入力される信号のレベルが変化した場合にのみ、一定の短期間 I O ポート D 1 2 4 0 に L レベル出力を行い、その後、I O ポート D 1 2 4 0 に H レベル出力を行う。

【0 1 3 0】

従って、例えば、図 1 5 に示す S G の波形の入力信号があった場合に対し、I O ポート D 1 2 4 0 への出力信号 S H の波形は入力信号の変化点においてのみ端子間の L レベルパルスが出力され、他の期間では H レベルとなる。

【0 1 3 1】

次に、第一の実施の形態の紙幣収納制御回路 2 1 0 には存在しなかった、電流引き込み部 1 3 0 0 について図 1 4 を参照して説明する。電流引き込み部 1 3 0 0 の入力は、抵抗 1 3 0 1 を介してトランジスタ 1 3 0 2 のベースに接続される。トランジスタ 1 3 0 2 のエミッタはグランドに接続され、コレクタは、抵抗 1 3 0 6 を介して電源極性正規化部 1 2 9 0 の電流出力側の線に接続される。抵抗 1 3 0 6 と並列にスピードアップコンデンサ 1 3 0 7 が接続される。トランジス

タ 1 3 0 2 のベース－エミッタ間には飽和防止の抵抗 1 3 0 3 が接続されている。そして、電流出力側の線は、電源極性正規化部 1 2 9 0 のダイオード 1 2 9 1 を介して電力兼信号線 4 1 に接続される。

【0 1 3 2】

ここで I O ポート D 1 2 4 0 のからの信号 S H が H レベルとなると、トランジスタ 1 3 0 2 は O N となり、電力兼信号線 4 1 を低抵抗でグラウンドレベルに接続することとなる。その結果、ダイオード 1 2 9 1 及びトランジスタ 1 3 0 2 を通じ電力兼信号線 4 1 から電流が引き込まれて電力兼信号線 4 1 の電圧が低下する。

【0 1 3 3】

例えば、図 1 5 の S H に示す波形の信号が入力された場合に対する、電力兼信号線 4 1 の信号 S I の波形は、S H と同様であるが H レベルの電圧が約 1 2 V となる。

【0 1 3 4】

このように電源供給を紙幣収納部 1 5 側で接断することで、第一の実施の形態の紙幣識別部 1 3 側で電源供給を変換したのと同じ作用を生じさせる。

【0 1 3 5】

なお、電力兼信号線 4 1 の電位が信号 S I のように変化しても、電源供給部 1 2 5 0 の電源出力の信号波形 S J は、第一の実施の形態におけると同様に安定して供給される。このようにして、電力兼信号線 4 1 において、紙幣識別部 1 3 から紙幣収納部 1 5 に対して電源を供給するとともに、紙幣収納部 1 5 から紙幣識別部 1 3 に対して信号の送信を行う。その結果、電力兼信号線が 2 本であり、接続コネクタが 2 組のままでありながら、紙幣収納部 1 5 から紙幣識別部 1 3 に対して信号の送信を行うことができる。

【0 1 3 6】

<識別部>

第二の実施の形態における紙幣識別制御回路 1 1 1 0 には、電力兼信号線から供給される電源成分と信号成分の合成から、信号成分のみを抽出する識別側受信部 1 1 6 0 が加わっている。また、識別側通信制御部 1 1 2 0 において、R Z 符

号形式のパルス信号をNRZ符号形式の信号形式に変換する識別側信号復調手段1125が加わり、識別側主制御手段1121にはシリアルフォーマットの入力データを受信する処理が加わっている。そして、これらはいずれも本発明の第一の実施の形態における収納側受信部270、収納側信号復調手段225および収納側主制御手段221と同一の構成及び機能となっている。

【0137】

すなわち、識別側受信部1160は、電力兼信号線41が抵抗1162及を介してフォトカプラ1161のアノードに接続される。また、識別側受信部1160の出力端であるフォトカプラ1161のエミッタは、識別側通信制御部1120のポートD1133に接続される。フォトカプラ273のカソード及びコレクタは5V電源に接続される。

【0138】

識別側受信部270の出力信号SKの波形は、電力兼信号線41の信号SIの波形と同様であるが、フォトカプラ1161を経由することによって、Hレベルが5V電源レベルとほぼ等しくなる。これにより、信号の電圧が、識別側通信制御部1120が入力可能なレベルに変換される。

【0139】

識別側受信部1160の出力はIOポートD1133に入力される。ここで識別側通信制御部1120は、内蔵するROM1128に記憶されたプログラムに従い、CPU1126がRAM1127やIOポートD1133及びIOポートE1134と協働して処理を行うことにより、入力信号の符号形式を、リターン・トゥ・ゼロ（RZ）符号形式から、ノン・リターン・トゥ・ゼロ（NRZ）符号形式に変換する識別側信号復調手段1125の処理を実現する。

【0140】

識別側信号復調手段1125の処理はIOポートD1133に入力される信号のレベルが、Lレベルとなった場合にIOポートE1134の出力電圧レベルを反転する。

【0141】

従って、例えば、図15に示すSKの波形の入力信号があった場合に対し、I

ポート E 1 1 3 4 の出力信号 S L の波形は入力信号に L レベルのパルスがあった場合のみ反転する。出力信号 S L の波形は、結果として S G の波形と同様となるのである。そして、信号 S L はシリアル入力インターフェース 1 1 3 5 に入力される。

【0142】

このように、紙幣収納制御回路 1 2 1 0 から紙幣識別制御回路 1 1 1 0 に対するデータの送信が可能となる。

【0143】

[収納側通信制御部 CPU の処理]

次に、第二の実施の形態における収納側通信制御部 1 1 2 0 の CPU 1 2 2 6 が、ROM 1 2 2 8 に記憶されたプログラムに基づいて行う収納側主制御処理を、図 1 6 のフローチャートを参照して説明する。

【0144】

まず、CPU 1 2 2 6 はステップ S 5 0 において、I/O ポート E 1 2 4 1 の入力信号を検出する。具体的には、CPU 1 2 2 6 は I/O ポート E 1 2 4 1 のデータを読み出す。

【0145】

続いて CPU 1 2 2 6 は、ステップ S 5 1 において、I/O ポート E 1 2 4 1 の入力信号レベルが前回の検出結果から変化した否かを判別する。

【0146】

I/O ポート E 1 2 4 1 の入力信号レベルが前回の検出結果から変化していないと判断する場合 CPU 1 2 2 6 は処理をステップ S 5 0 に移す。この一方で入力信号レベルが前回の検出結果から変化したと判断した場合、CPU 1 2 2 6 は処理をステップ S 5 2 に移す。

【0147】

ステップ S 5 2 において、CPU 1 2 2 6 は I/O ポート D 1 2 4 0 の出力を L レベルにする。続いて、CPU 1 2 2 6 は一定のパルス幅期間、処理を待つ（ステップ S 5 3）。さらに続いて、CPU 1 2 2 6 は I/O ポート D 1 2 4 0 の出力を L レベルにする（ステップ S 5 4）。そして、CPU 1 2 2 6 は処理をステッ

プ S 5 0 に移す。

【0148】

この処理によって収納側通信制御部 1 2 2 0 は、I O ポート E 1 2 4 1 に入力されるシリアル通信信号が反転する場合にのみ、特定の短い期間、L レベルパルスを出力する。このことによって、N R Z 符号形式の信号を R Z 符号形式の信号へと変換することができる。

【0149】

[識別側通信制御部 C P U の処理]

次に、識別側通信制御部 1 1 2 0 の C P U 1 1 2 6 が R O M 1 1 2 8 に記憶されたプログラムに基づいて行う収納側信号復調処理を、図 1 7 のフローチャートを参照して説明する。

【0150】

まず、C P U 1 1 2 6 はステップ S 6 0 において、I O ポート D 1 1 3 3 の入力信号レベルが L レベルか否かを判別する。本ステップにおいて、C P U 1 1 2 6 が I O ポート D 1 1 3 3 の入力信号レベルは L レベルでないと判断した場合には、C P U 1 1 2 6 は処理をステップ S 6 0 に移す。この一方で、C P U 1 1 2 6 が I O ポート D 1 1 3 3 の入力信号レベルは L レベルであると判断した場合には、C P U 1 1 2 6 は処理をステップ S 6 1 に移す。

【0151】

ステップ S 6 1 において、C P U 1 1 2 6 は I O ポート E 1 1 3 4 の出力レベルを反転する。具体的には、C P U 1 2 6 は I O ポート E 1 1 3 4 の出力データを読み出し、読み出した値の論理レベルを反転する演算を行い、再び I O ポート E 1 1 3 4 に書き込む。

【0152】

この処理によって、識別側通信制御部 1 1 2 0 は I O ポート D 1 1 3 3 に入力される R Z 符号形式のパルス信号を N R Z 符号形式の信号へと変換することができる。

【0153】

[第三の実施の形態]

次に、本発明の第三の実施の形態について図18を参照して説明する。第三の実施の形態においては、第二の実施の形態の紙幣収納部15が、紙幣識別部13から取り外され、収集装置1500に接続される。

【0154】

収集装置1500は、紙幣収納部15に収納された貨幣を回収する際に、紙幣収納部15のふた25の鍵を開錠するための制御信号を、端末コンピュータ1600から送信するための中継装置である。また、収集装置1500は、端末コンピュータ1600が紙幣収納部15に収納された貨幣の情報を収集する際に、情報信号を、紙幣収納部15から受信して端末コンピュータ1600に中継する。収集装置1500を介すことにより、例えば操作者が端末コンピュータ1600と紙幣収納部15を接続し、端末コンピュータ1600を通じて紙幣収納部15に収納された紙幣の情報を表示させ、収納されていた紙幣内容を確認することができる。また、端末コンピュータ1600を操作して紙幣収納部15に制御信号を送信し、ふた25の鍵を開錠させ紙幣を回収することができる。

【0155】

紙幣収納部15が収集装置1500に装着される場合、紙幣収納部15の平板状の接続端子45、47はそれぞれ、収集装置1500に設置された突起状の接続端子1580、1581に押し当てられ電氣的に接続がなされる。接続端子1580、1581は、それぞれ電源兼信号線により、紙収集制御回路1510（図19参照）が実装された基板1502に接続される。基板1502は、収集装置1500の外部の端末コンピュータ1600にも接続される。

【0156】

[回路構成]

第三の実施の形態の紙幣収納部15が収集装置1500に装着された状態での回路構成を図19のブロック図を参照して説明する。この状態では、紙幣収納部15を制御する紙幣収納回路1210と、収集装置1500内の紙収集制御回路1510は、接続端子45及び1580の接続、そして47及び1581の接続を介して、2本の電源兼信号線により接続される。

【0157】

収集制御回路 1510 は、通信データの生成等を行う収集側通信制御部 1520 を備える。この収集側通信制御部 1520 には、電源供給変換部 1550、収集側受信部 1560 が接続される。

【0158】

収集側通信制御部 1520 は、CPU（中央処理装置）や ROM、RAM 等が 1 個の IC に集積されたマイクロ・コンピュータ・ユニット（MCU、いわゆる「マイコン」）により構成される。そして、内蔵する ROM に記憶されたプログラムに従い、CPU が内蔵する RAM や I/O ポートそしてシリアルインターフェースと協働して処理を行うことにより、収集側受信部 1560 から出力される RZ 符号形式のパルス信号を、シリアルフォーマットの情報信号に変換する識別側信号復調手段の処理、そしてシリアルフォーマットの情報信号を受信する収集側主制御手段 1521 の処理を実現する。情報信号は端末通信部 1526 を通じて端末コンピュータ 1600 に送信される。

【0159】

電源供給変換部 1550 は電流駆動型のオペアンプ又は電圧レベルシフタから構成される。そして、端末コンピュータ 1600 から送信される信号に基づき収集側通信制御部 1520 の収集側信号変調手段 1523 が生成するパルス信号に応じて出力電流の供給／停止を行う。

【0160】

第三の実施の形態の、収集制御回路 1510 における、収集側収集側信号変調手段 1523、収集側信号復調手段 1525、電源供給変換部 1550 及び収集側受信部 1560 の構成及び動作は、第二の実施の形態の紙幣識別制御回路 1110 における収集側収集側信号変調手段 1523、収集側信号復調手段 1525、電源供給変換部 1550 及び収集側受信部 1560 の構成及び動作と同様である。

【0161】

第三の実施の形態においては、端末コンピュータ 1600 が操作者により操作され、紙幣収納部 15 のふた 26 を開くための制御情報信号が収集側通信制御部 1520 に送信される。送信された制御情報は、収集側主制御手段 1521 によ

り、例えば歩調同期式のシリアルデータ形式に変換される。そして、この制御情報はさらに収集側信号変調手段により R Z 形式のパルス信号に変換される。このパルス信号に応じて、電源供給部 1 5 5 0 は電源兼信号線への電源の供給を断続する。この一方で、紙幣収納制御回路 1 2 1 0 では、電源供給部 1 2 5 0 が断続する電源から、一定の電源を取り出す。また、収納側受信部 1 2 7 0 は、制御情報を取り出す。ここで取り出された R Z 形式の制御信号は、収納側信号復調手段 1 2 2 5 において、N R Z 形式の信号に変換され、収納側主制御手段 1 2 2 1 へと送られる。収納側主制御手段 1 2 2 1 では、制御信号の有効性を検証した後にふた施解錠部 1 2 8 0 を制御し、ふた 2 6 が開くようにする。

【0 1 6 2】

また、紙幣収納部 1 5 が、紙幣識別部 1 3 に接続されていた時に紙幣識別部 1 3 から受信しデータ記憶部 1 2 6 0 に記憶されていた紙幣のデータは、収納側主制御手段 1 2 2 1 に読み込まれ、シリアル形式に変換される。そして、紙幣のデータは収納側信号復調手段 1 2 2 5 を通じて R Z 形式に変換され、電流引き込み部 1 3 0 0 に送信される。電流引き込み部は、R Z 形式に変換された信号のパルスに応じて電源兼信号線をグランドに接続し、電源の電圧を低下させる。紙収集制御回路 1 5 1 0 の収集側受信部 1 5 6 0 では電源電圧の低下の波形から、信号成分を取り出す。信号成分は収集側信号復調手段 1 5 2 5 により N R Z 形式のシリアルデータに変換され、端末通信部 1 5 2 6 を通じて端末コンピュータ 1 6 0 0 に表示される。

【0 1 6 3】

このようにして、収集装置 1 5 0 0 から紙幣収納部 1 5 へ、逆に紙幣収納部 1 5 から収集装置 1 5 0 0 への情報信号への情報の送信が 2 本の電源兼信号線により行われる。しかもこれら信号と紙幣収納部 1 5 への電源の供給が 2 本の線を介する 2 組の接続端子により兼用してなされる。このため紙幣収納部は 2 個の接続端子でまかなうことができ、接続端子の個数増加を抑え、装置全体の信頼性を高めることとなるのである。

【0 1 6 4】

なお、本発明の第 2 の実施の形態においては、識別側通信制御部 1 1 2 0 が電

源供給変換部 1150 を通じて電源兼信号線 41 に信号を送信するときに、この信号が識別側受信部 1160 を介して識別側通信制御部 1120 自身にも入力されることとなる。また、これと同様に、収納側通信制御部 1220 が電流引き込み部 1300 を介して電源兼信号線 41 に信号を送信するときに、この信号が収納側受信部 1270 を介して収納側通信制御部 1220 自身にも入力されることとなる。したがって、本来相手側からのデータ信号以外に、自らの側が出力した信号を受信する、いわゆるエコーバックが生じる。このような不要なデータの受信を防ぐため、信号の出力を行う時には、信号受信の処理を停止することとしてよい。

【0165】

また、本発明の第 1 及び第 2 の実施の形態においては、識別側信号変調手段 123、1123、収納側信号復調手段 1223、収納側信号復調手段 225、1225 及び識別側信号復調手段 1125 は、それぞれ、コンピュータプログラムに基づく CPU の処理となっている。しかし、上記各手段はソフトウェアの処理に限らず、それぞれハードウェアによるパルス回路及び論理回路として構成されてよい。例えば、各信号変調手段は、単安定マルチバイブレータによる、パルス発生回路により構成することとしてよい。また各信号復調手段は、例えば信号の 2 分周を行う分周回路により構成するものとしてよい。

【0166】

このように、貨幣取扱装置の貨幣収納部は 2 本の電力兼信号線を介して電源及び貨幣情報信号を受け取ることができる。そして、貨幣取扱装置の貨幣収納部において貨幣識別部から電源の供給を受け、また送信される情報を受信するため必要となる線は 2 組で済む。

【0167】

【発明の効果】

本発明によれば、信頼性に一定の限界を有する部品の使用個数を抑えることにより、貨幣取扱装置全体の故障信頼性低下を抑えることができる。

【図面の簡単な説明】

【図 1】 本実施形態の紙幣取扱装置の外観を示す図である。

【図 2】 本実施形態の紙幣収納部を取り外した状態での紙幣取扱装置の外観を示す図である。

【図 3】 本実施形態の紙幣取扱装置の紙幣収納部の外観を示す図である。

【図 4】 本実施形態の紙幣取扱装置に設置された制御回路のブロック図を示す図である。

【図 5】 本実施形態の紙幣取扱装置の紙幣識別制御回路の回路図である。

【図 6】 本実施形態の紙幣取扱装置の紙幣収納制御回路の回路図である。

【図 7】 本実施形態の紙幣取扱装置における制御回路の各部位の信号波形図である。

【図 8】 本実施形態の紙幣取扱装置における識別側主制御処理を示すフローチャートである。

【図 9】 本実施形態の紙幣取扱装置における識別側信号変調処理を示すフローチャートである。

【図 10】 本実施形態の紙幣取扱装置における収納側信号復調処理を示すフローチャートである。

【図 11】 本実施形態の紙幣取扱装置における収納側主制御処理を示すフローチャートである。

【図 12】 第二の実施形態の貨幣取扱装置に設置された制御回路のブロック図を示す図である。

【図 13】 第二の実施形態の紙幣取扱装置の紙幣識別制御回路の回路図である。

【図 14】 第二の実施形態の紙幣取扱装置の紙幣収納制御回路の回路図である。

【図 15】 第二の実施形態の紙幣取扱装置における制御回路の各部位の信号波形図である。

【図 16】 第二の実施形態の紙幣取扱装置における収納側信号変調処理を示すフローチャートである。

【図 17】 第二の実施形態の紙幣取扱装置における識別側信号復調処理を示すフローチャートである。

【図 1 8】 第三の実施形態の紙幣収納部と収集装置を示す図である。

【図 1 9】 第三の実施形態のブロック図を示す図である。

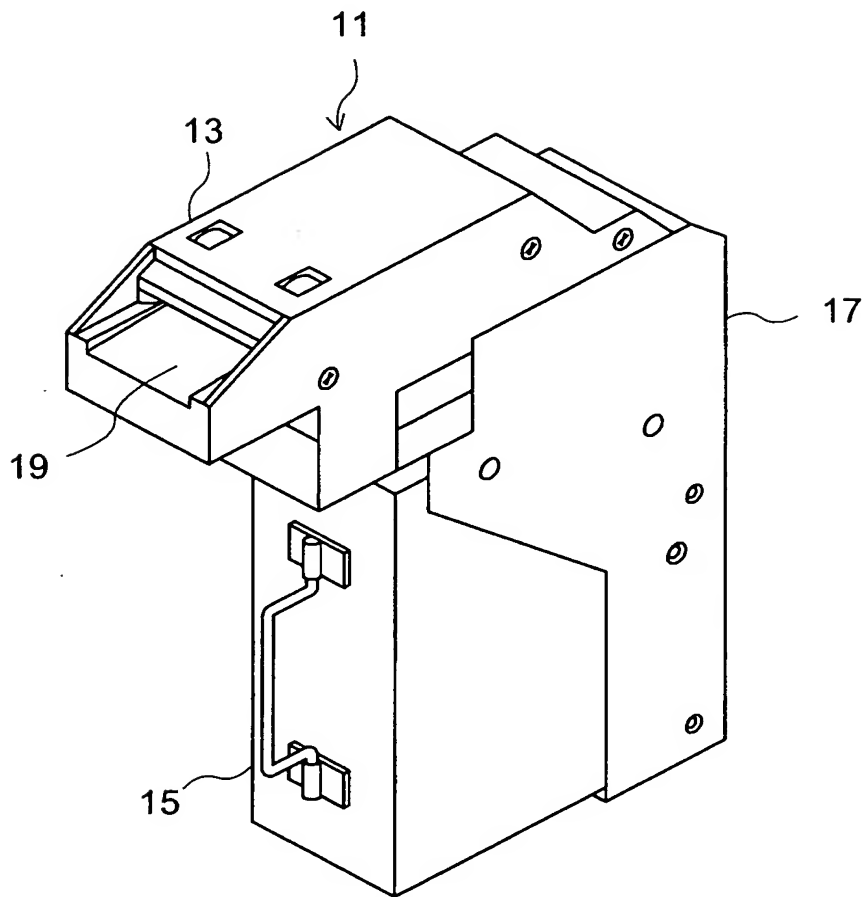
【符号の説明】

- 1 1 紙幣取扱装置
- 1 3 紙幣識別部
- 1 5 紙幣収納部
- 1 7 本体部
- 2 9 電力兼信号線
- 3 3 接続端子
- 1 1 0 紙幣識別制御回路
- 1 2 0 識別側通信制御部
- 1 2 1 識別側主制御手段
- 1 2 3 識別側信号変調手段
- 1 2 5 識別側信号復調手段
- 1 5 0 電源供給変換部
- 2 1 0 紙幣収納制御回路
- 2 2 0 収納側通信制御部
- 2 2 1 収納側主制御手段
- 2 2 5 収納側信号復調手段
- 2 5 0 電源供給部
- 2 7 0 収納側受信部

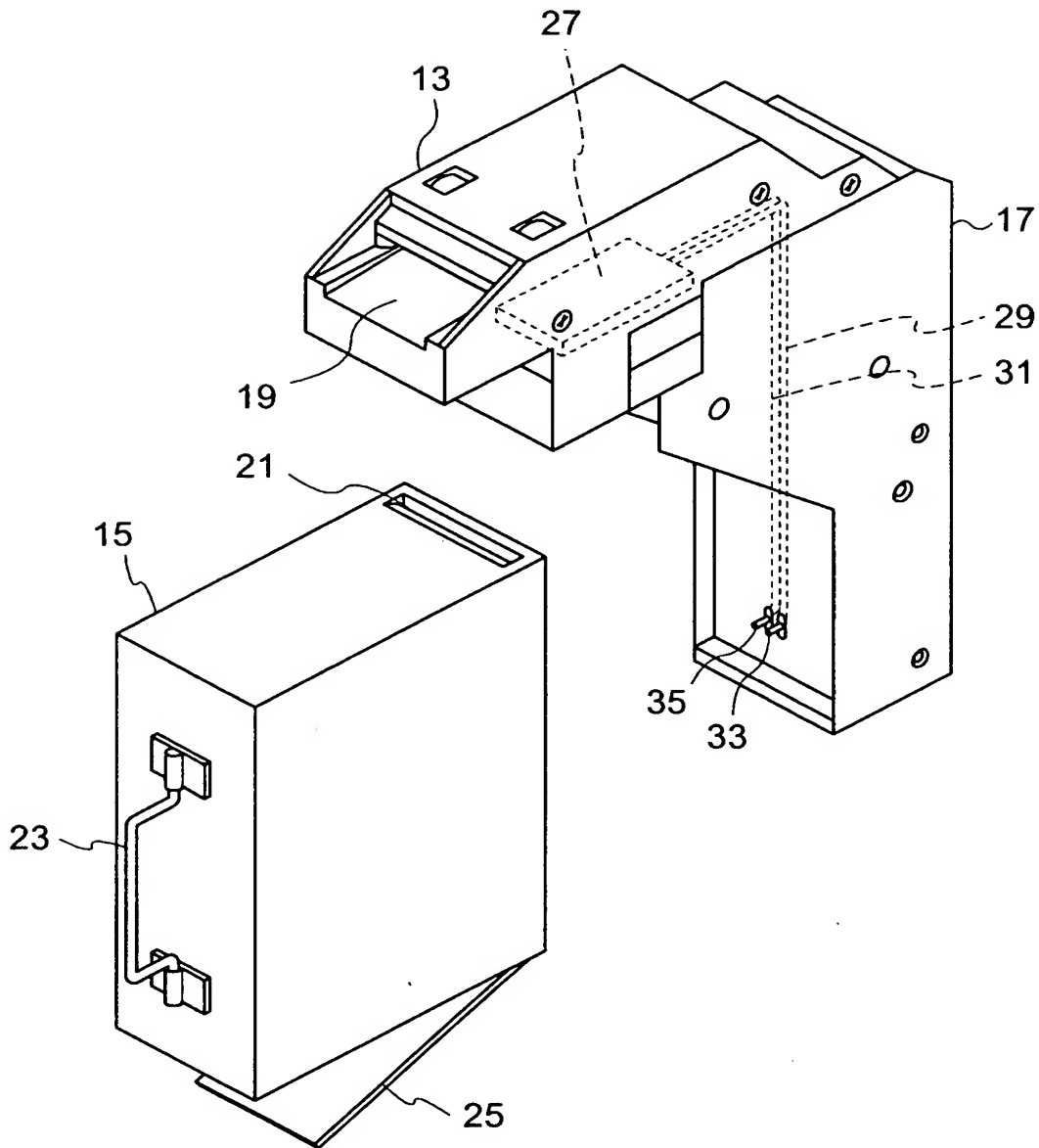
【書類名】

図面

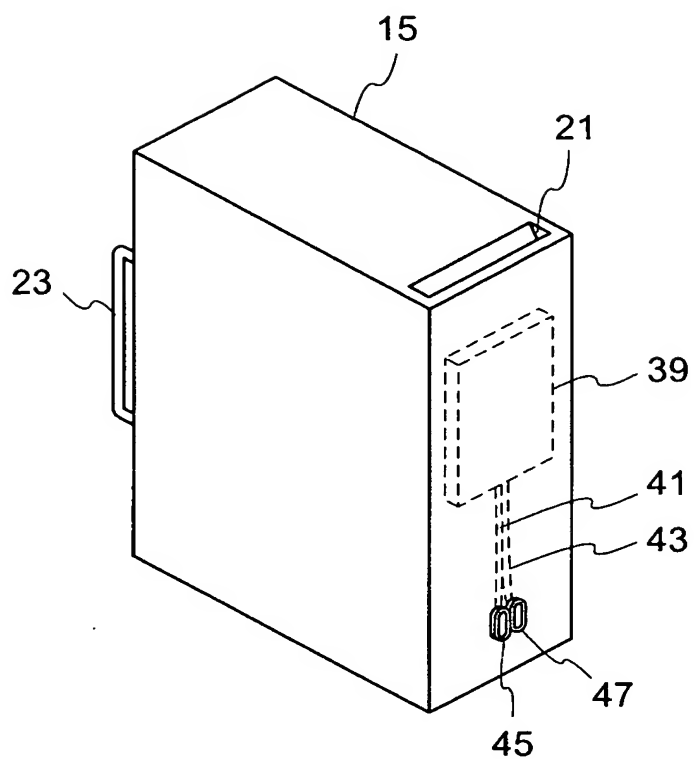
【図 1】



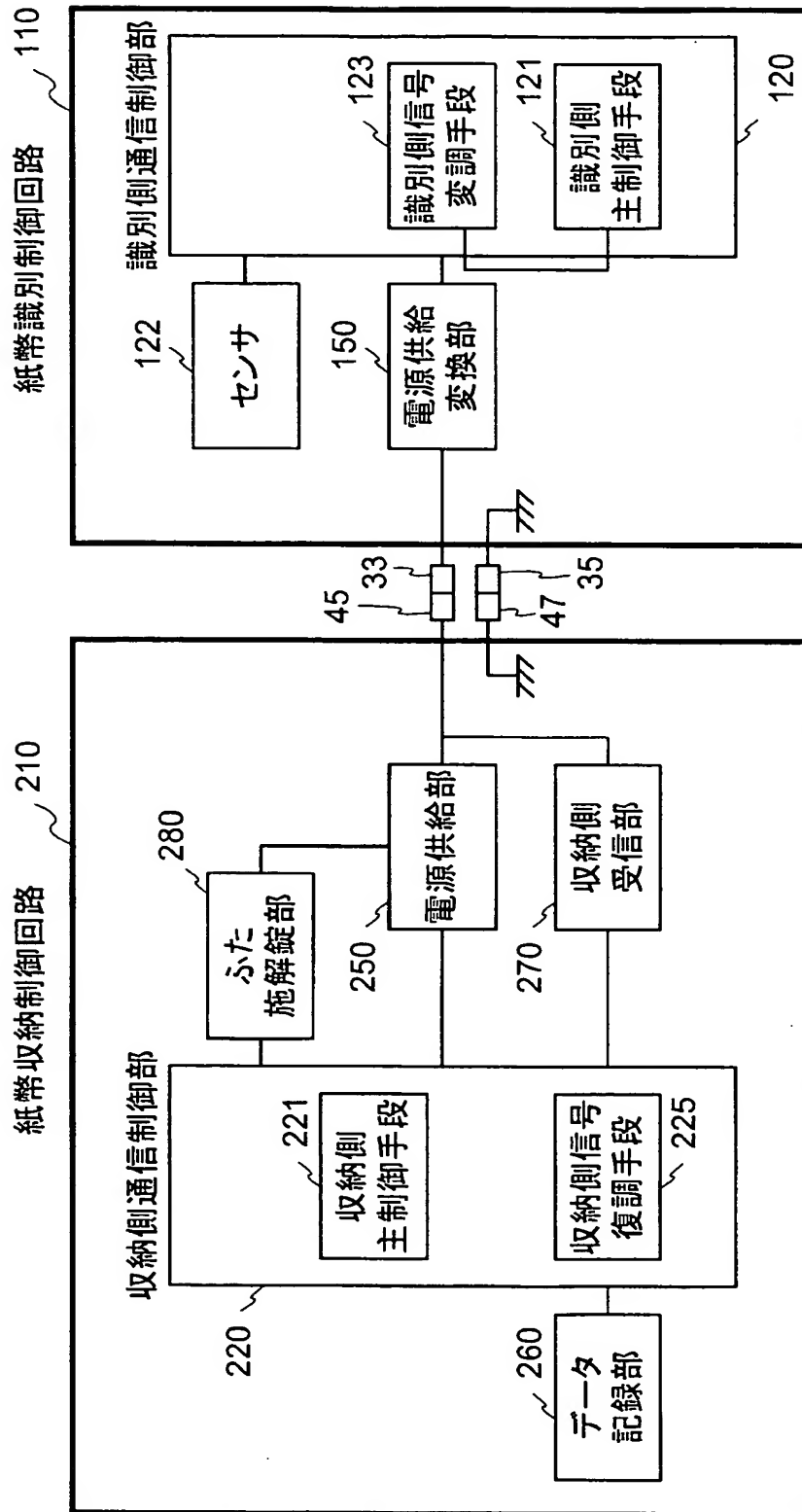
【図 2】



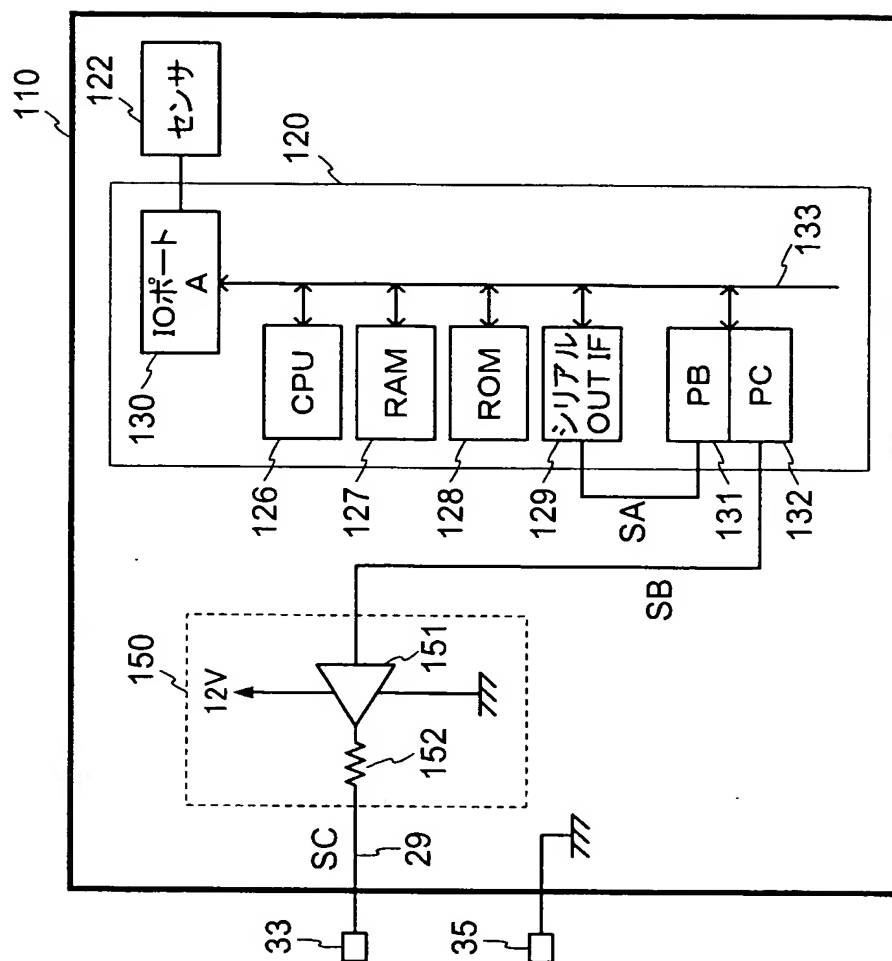
【図 3】



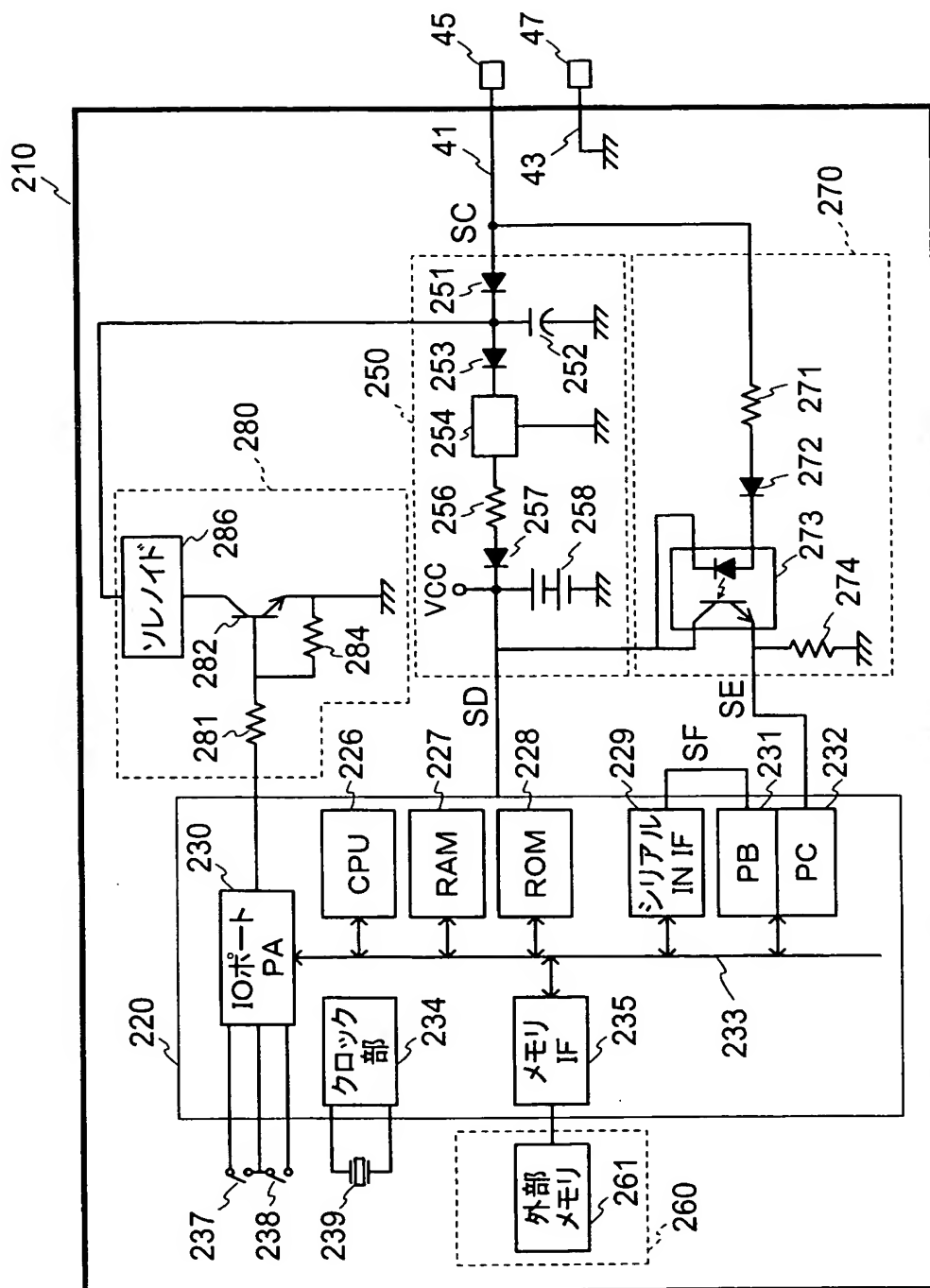
【図 4】



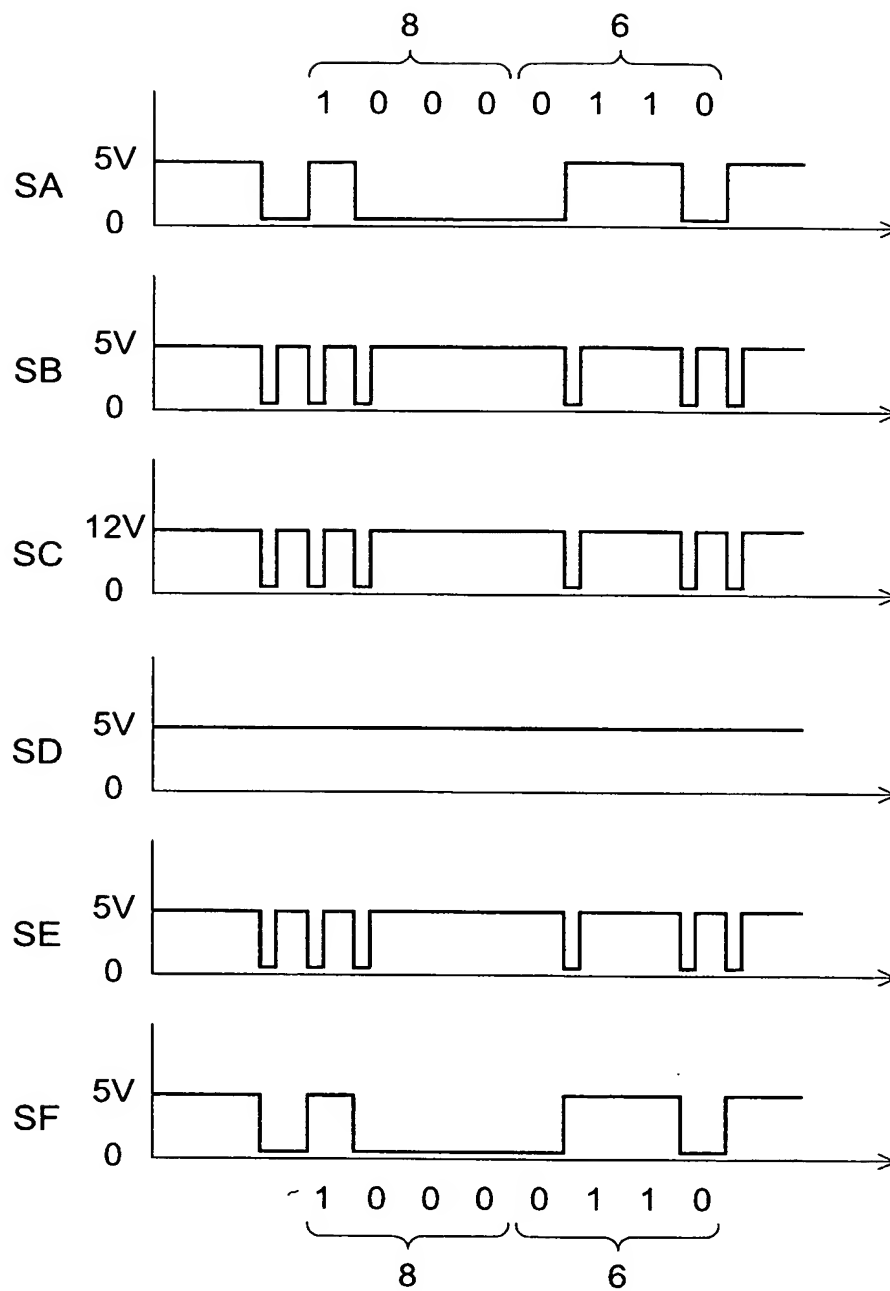
【図 5】



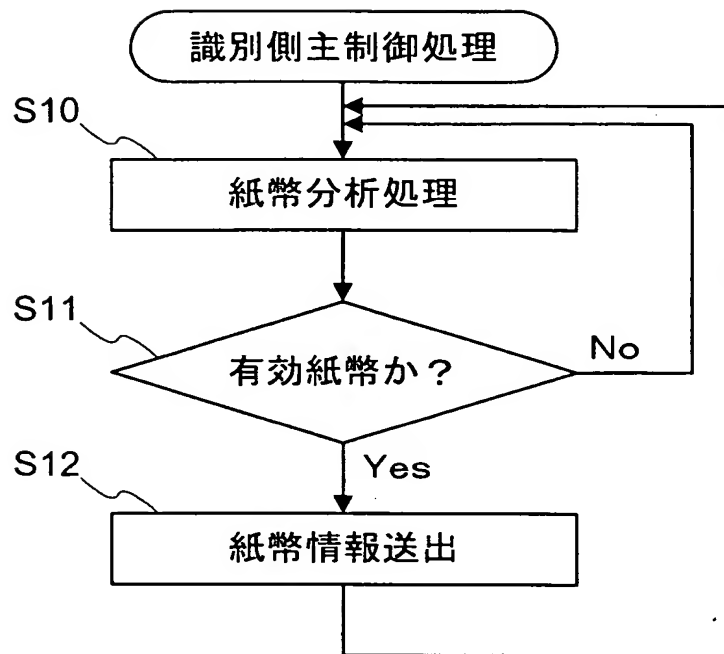
【図 6】



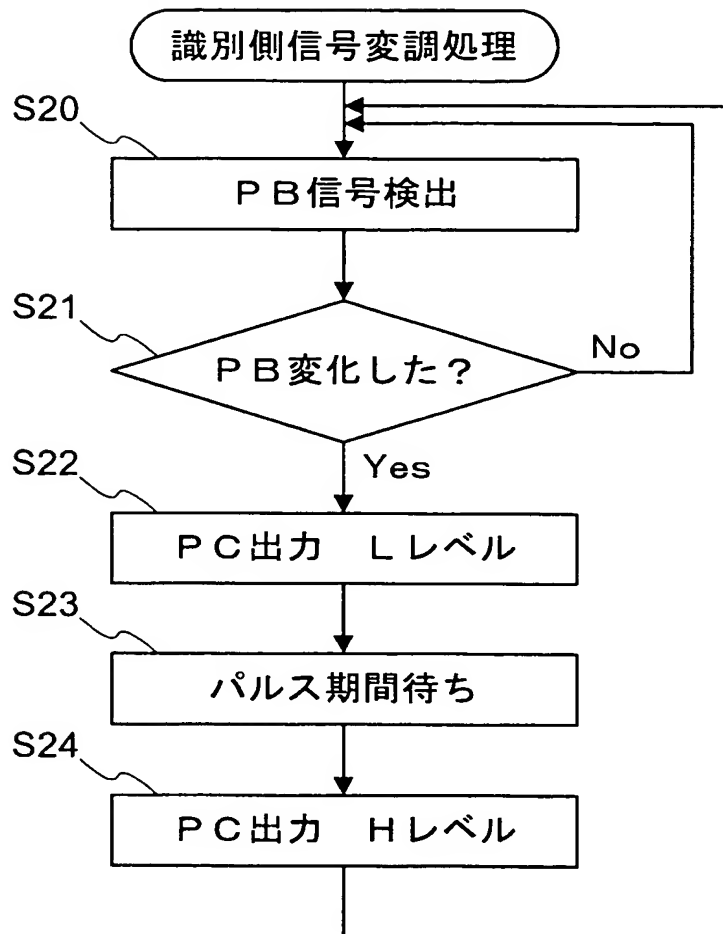
【図 7】



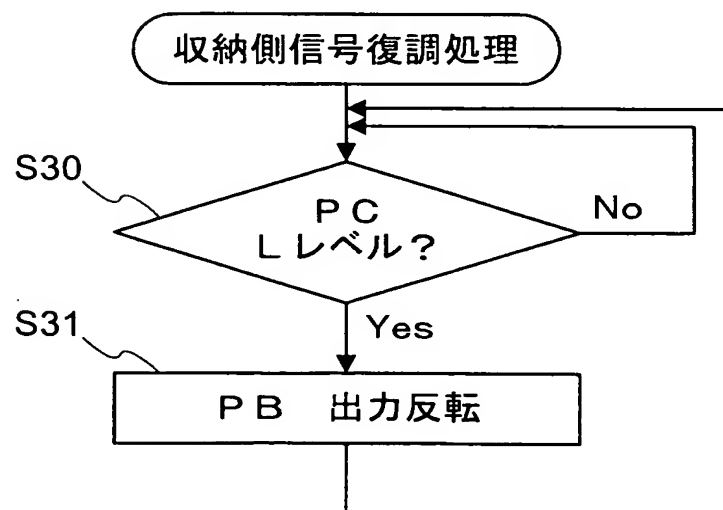
【図 8】



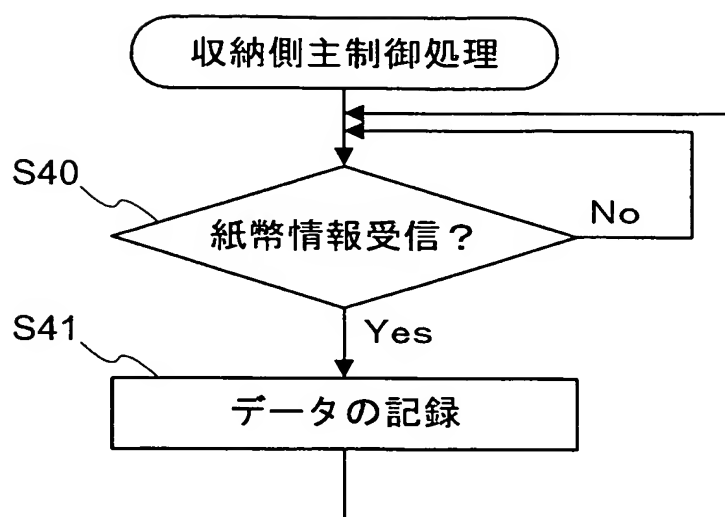
【図 9】



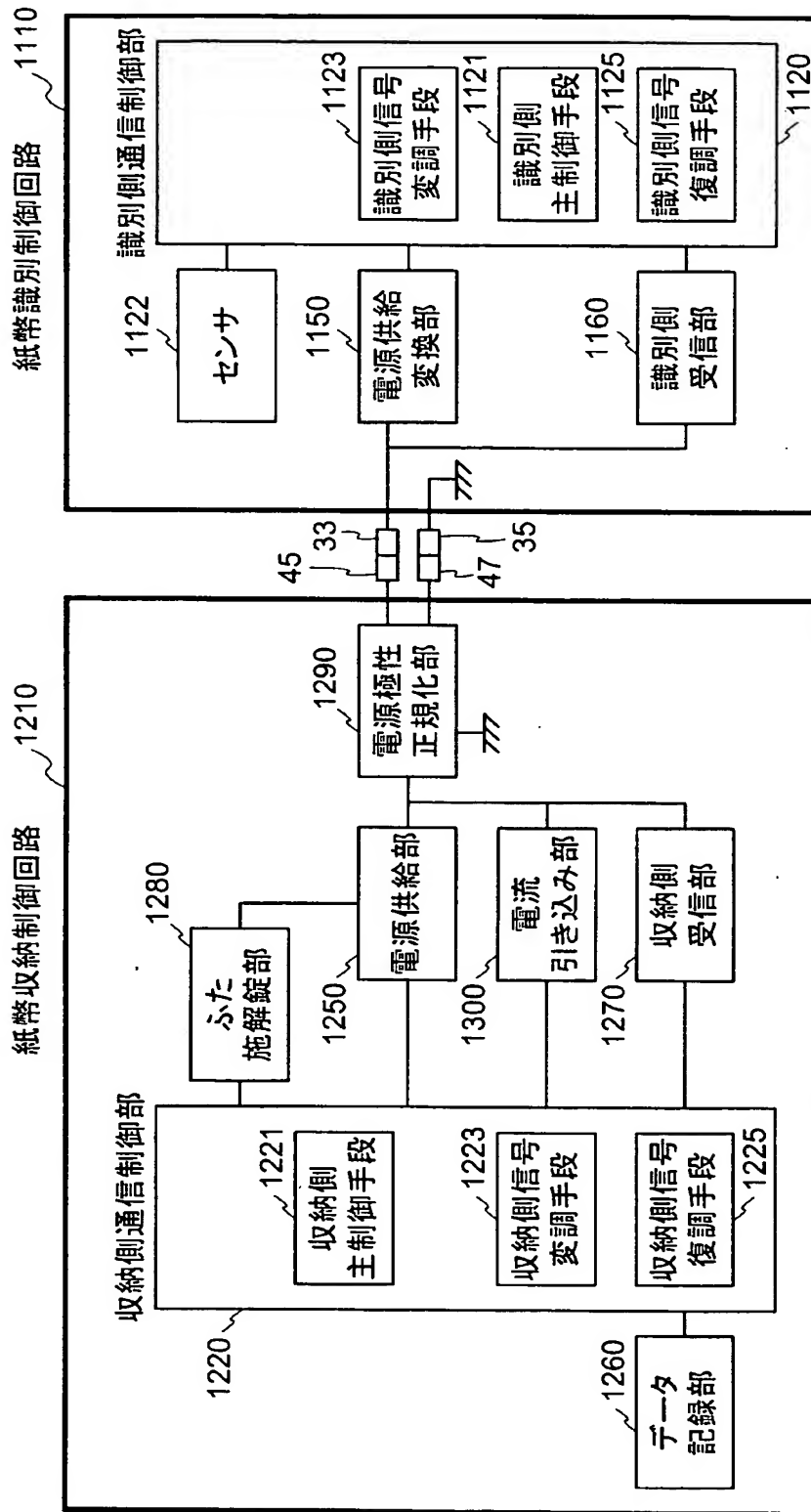
【図 10】



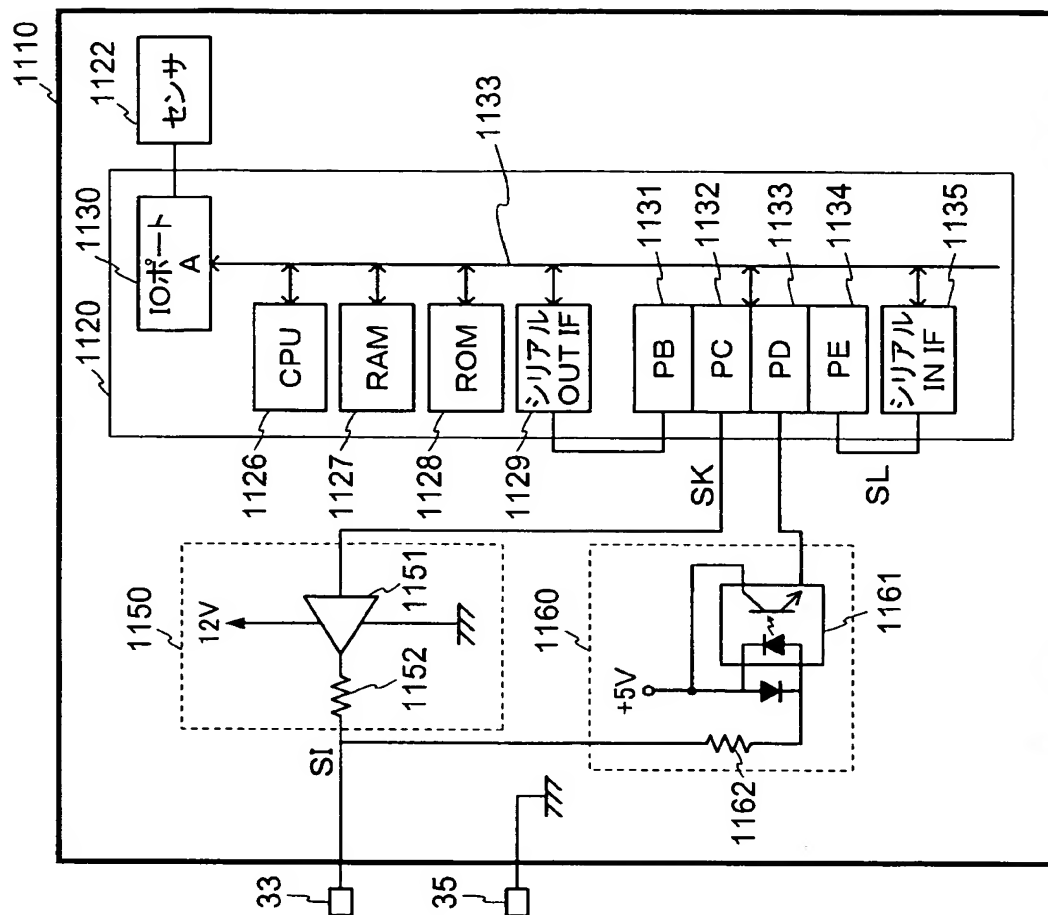
【図 11】



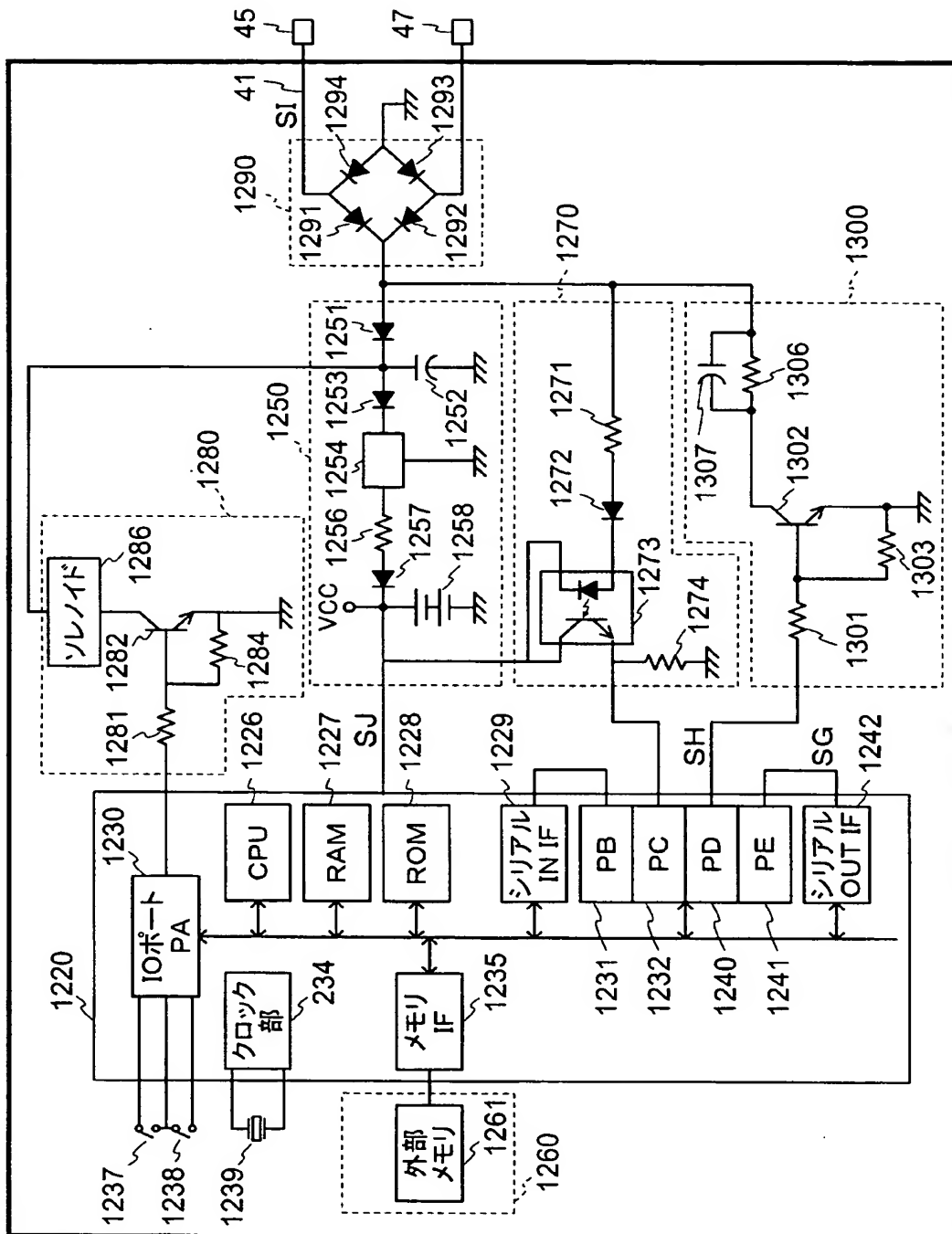
【図 12】



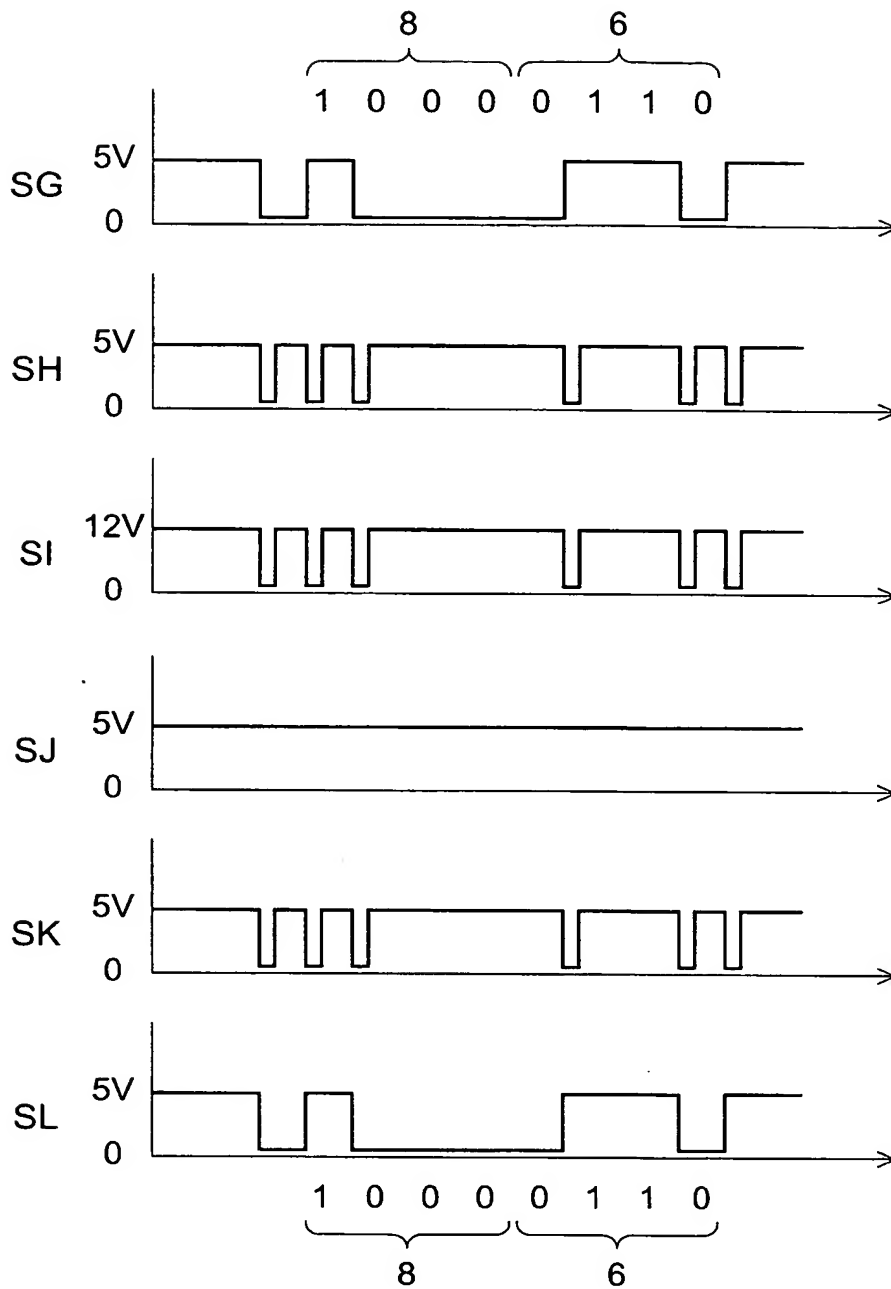
【図 13】



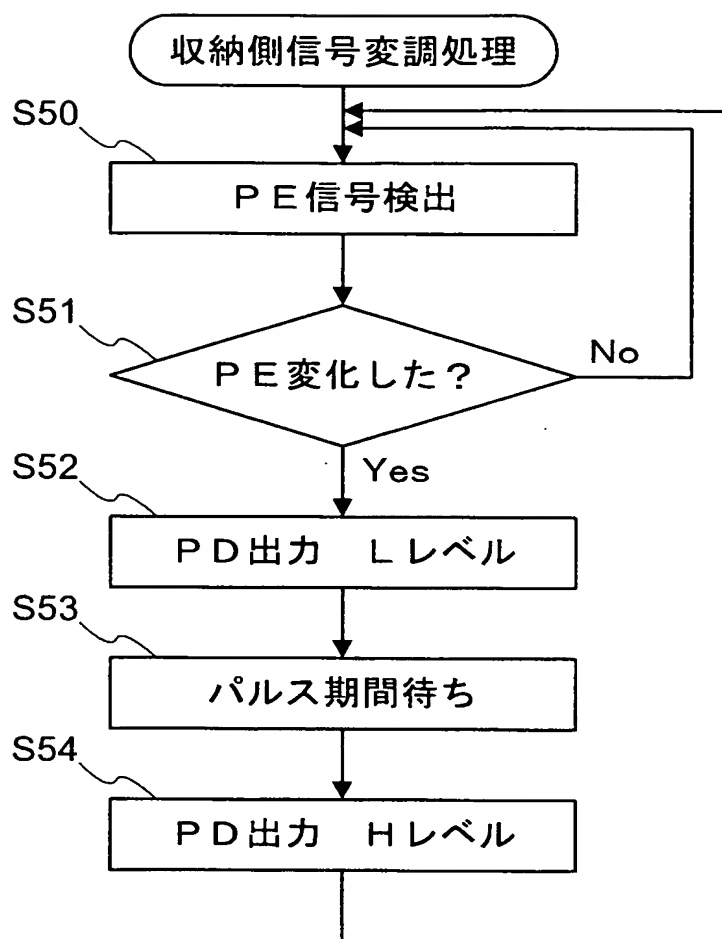
【図 14】



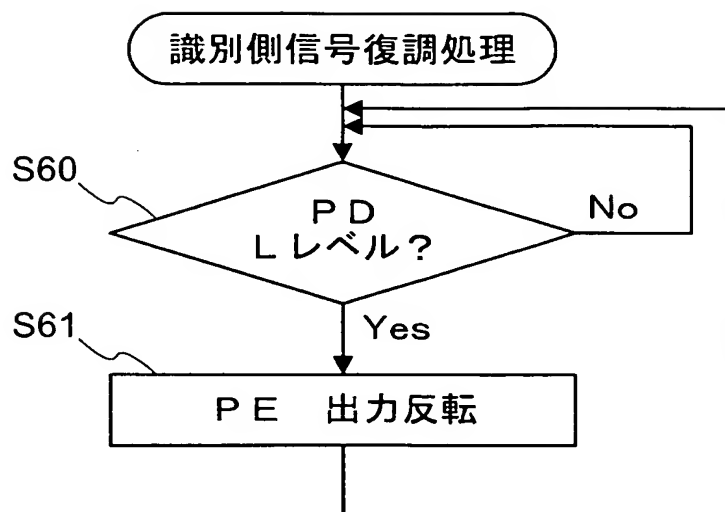
【図 15】



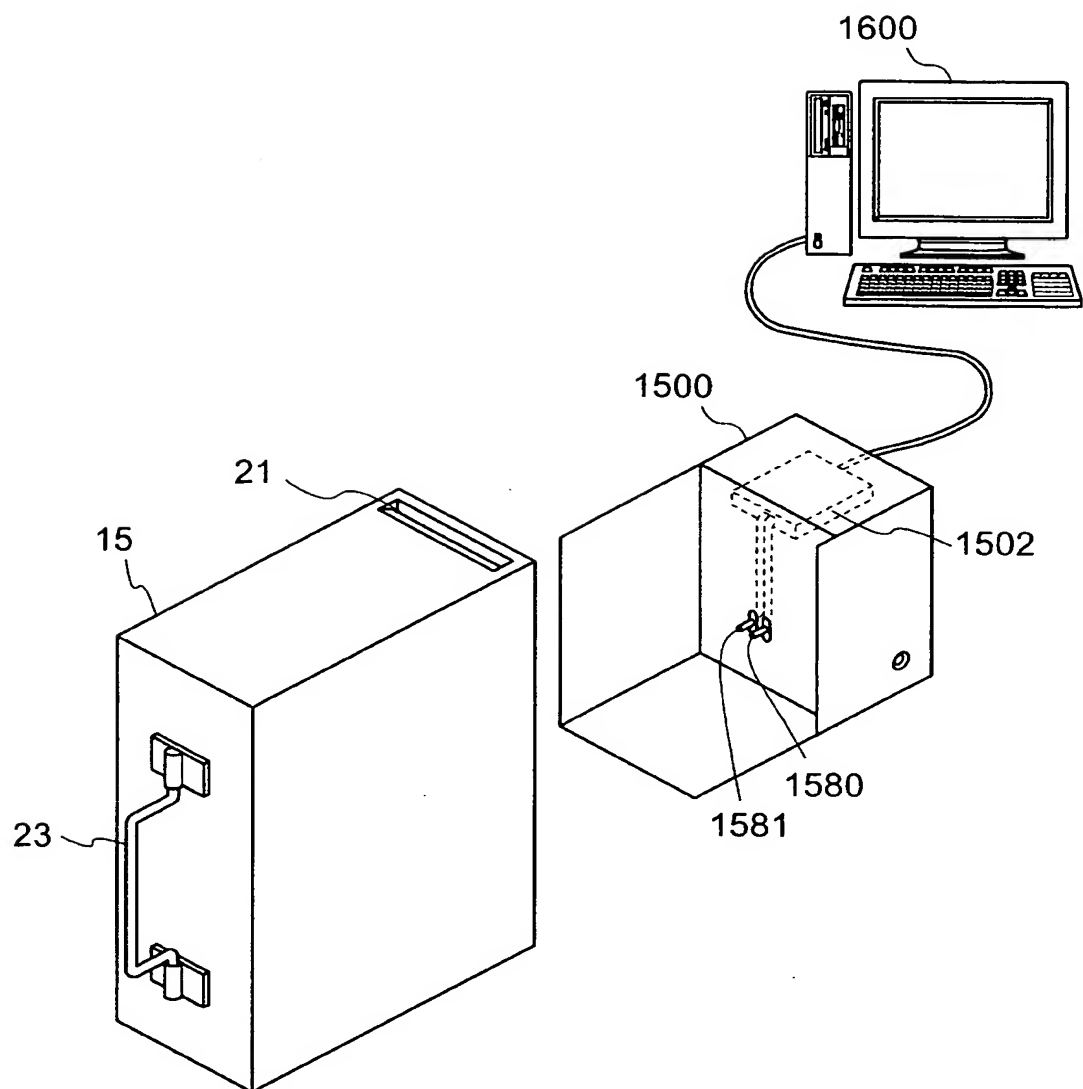
【図 16】



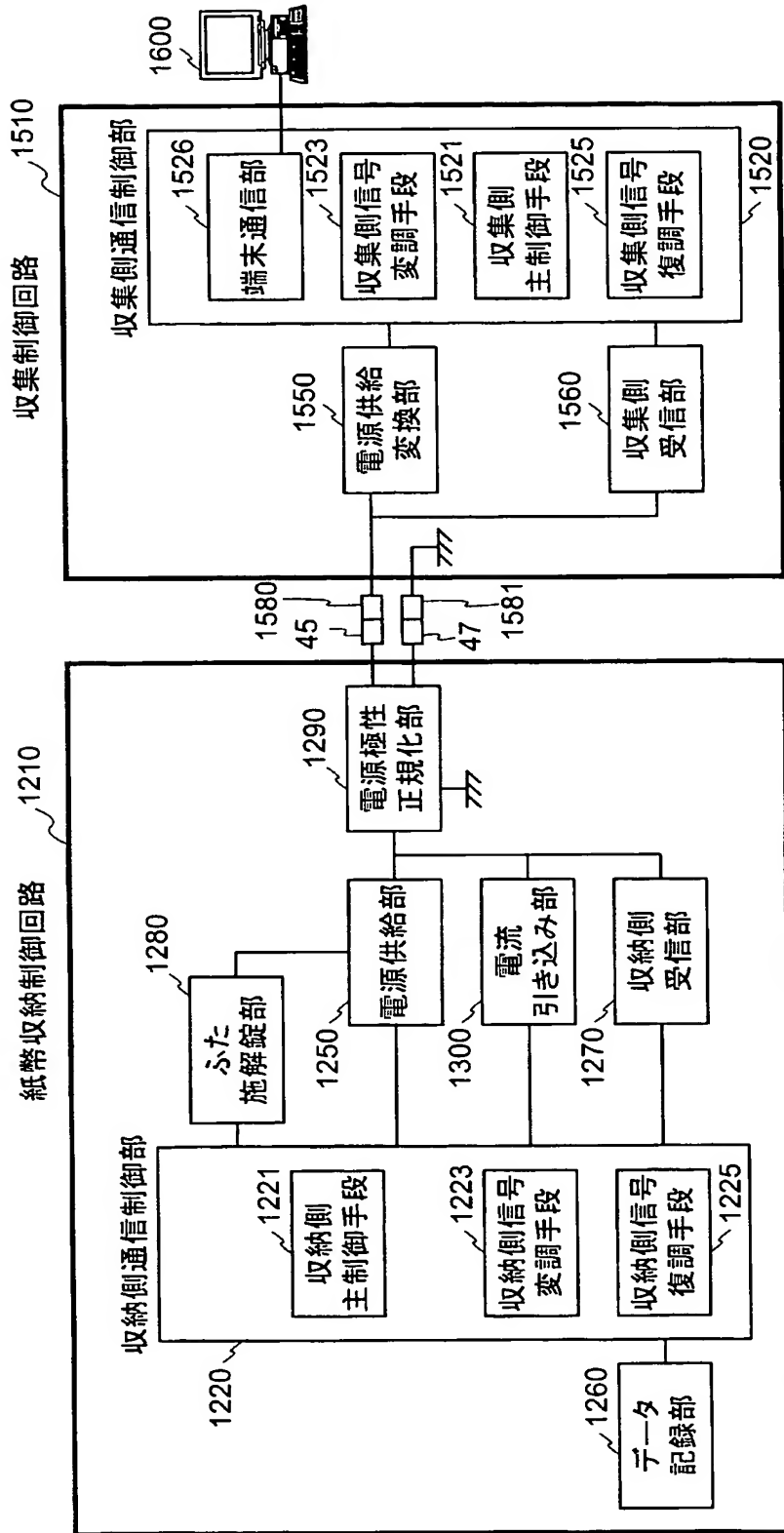
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 外部から受け入れた貨幣の有効性を確認する貨幣識別部と、貨幣識別部によって有効と判定された貨幣を収納する着脱可能な貨幣収納部と、を含む貨幣取扱装置において、装置のインテリジェント化を図りつつ、故障信頼性の低下を防ぐ。

【解決手段】 貨幣識別部が有する貨幣識別部制御回路と、貨幣収納部が有する貨幣収納部制御回路との間の電源及び情報の授受を 2 本の電源兼信号線を介して行う。

【選択図】 図 4

特願 2 0 0 3 - 1 1 8 2 0 2

出 願 人 履 歴 情 報

識別番号 [5 9 8 0 9 8 5 2 6]

1. 変更年月日	1 9 9 8 年 7 月 2 3 日
[変更理由]	新規登録
住 所	東京都江東区有明 3 丁目 1 番地 2 5
氏 名	アルゼ株式会社